

0350516

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 9月 3日

出願番号

Application Number:

特願2002-257974

[ST.10/C]:

[JP2002-257974]

出願人

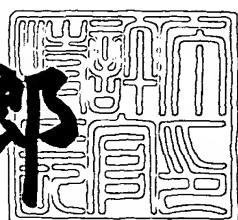
Applicant(s):

株式会社東芝

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028140

【書類名】 特許願
 【整理番号】 A000203571
 【提出日】 平成14年 9月 3日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H01L 21/00
 【発明の名称】 半導体装置
 【請求項の数】 15
 【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
 【氏名】 蓮沼 正彦
 【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
 【氏名】 伊藤 祥代
 【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
 【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
 【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
 【選任した代理人】
 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】

基板上に設けられ、比誘電率が3.4以下である絶縁膜と、
前記絶縁膜の内部に設けられた導電層と、
前記絶縁膜の内部に前記導電層に電気的に接続されて形成され、通電経路を構成する導電プラグと、
前記導電層の少なくとも下側に設けられ、ヤング率が30GPa以上である補強材と、
前記導電層に接続されるとともに、前記補強材に接して形成された第1の補強プラグと、
を具備することを特徴とする半導体装置。

【請求項2】

前記第1の補強プラグが前記導電プラグから5μm以内に設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1の補強プラグが1個以上設けられるとともに、前記第1の補強プラグおよび前記導電プラグを含めた各プラグの間隔が5μm以下に設定されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第1の補強プラグが前記導電プラグから5μm以内に複数個設けられるとともに、これら各第1の補強プラグおよび前記導電プラグを含めた各プラグの間隔が1μm以下に設定されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記絶縁膜および前記補強材が2層以上に積層されて設けられるとともに、これら各層の前記絶縁膜および前記補強材について前記導電層、前記導電プラグ、および前記第1の補強プラグが設けられていることを特徴とする請求項1～

4のうちのいずれかに記載の半導体装置。

【請求項6】

前記導電層が形成されている領域以外の前記絶縁膜の内部に設けられ、前記導電層および前記導電プラグと電気的に切断された補強金属層と、前記補強金属層に接続されるとともに、前記補強材に接して形成された第2の補強プラグとをさらに具備することを特徴とする請求項1～4のうちのいずれかに記載の半導体装置。

【請求項7】

前記補強金属層が、前記導電層から $5\text{ }\mu\text{m}$ 以内に設けられていることを特徴とする請求項6に記載の半導体装置。

【請求項8】

前記第2の補強プラグが複数個設けられているとともに、これら各第2の補強プラグの間隔が $5\text{ }\mu\text{m}$ 以下に設定されていることを特徴とする請求項6または7に記載の半導体装置。

【請求項9】

前記絶縁膜および前記補強材が2層以上に積層されて設けられているとともに、これら各層の前記絶縁膜および前記補強材について前記導電層、前記導電プラグ、前記第1の補強プラグ、前記補強金属層、および前記第2の補強プラグが設けられていることを特徴とする請求項6～8のうちのいずれかに記載の半導体装置。

【請求項10】

基板上に設けられ、比誘電率が3.4以下である絶縁膜と、

前記絶縁膜の内部に設けられた導電層と、

前記絶縁膜の内部に前記導電層に電気的に接続されて形成され、通電経路を構成する導電プラグと、

前記導電層の少なくとも下側に設けられ、ヤング率が30GPa以上である補強材と、

前記絶縁膜の内部に、前記導電層および前記導電プラグからなる配線層と電気的に切断されて、かつ、前記配線層から $5\text{ }\mu\text{m}$ 以内に設けられた補強金属層と、

前記補強金属層に接続されるとともに、前記補強材に接して形成された補強プラグと、

を具備することを特徴とする半導体装置。

【請求項11】

基板上に設けられ、比誘電率が3.4以下である第n層目（nは1以上の整数）の絶縁膜と、

前記第n層目の絶縁膜の内部に形成された第n層目の導電層と、

前記第n層目の絶縁膜の内部に、前記第n層目の導電層の下面に電気的に接続されて形成され、通電経路を構成する第n層目の導電プラグと、

前記第n層目の絶縁膜の内部に、前記第n層目の導電層および前記第n層目の導電プラグからなる第n層目の配線層と電気的に切断されて、かつ、前記第n層目の導電層から $5\mu m$ 以内に形成された第n層目の補強金属層と、

前記第n層目の絶縁膜の内部に、前記第n層目の補強金属層の下面に接続されるとともに、その下方でヤング率が30GPa以上である補強材に接して形成された第n層目の補強プラグと、

を具備することを特徴とする半導体装置。

【請求項12】

前記補強プラグが複数個設けられているとともに、これら各補強プラグの間隔が $5\mu m$ 以下に設定されていることを特徴とする請求項10または11に記載の半導体装置。

【請求項13】

前記絶縁膜および前記補強材が2層以上に積層されて設けられているとともに、これら各層の前記絶縁膜および前記補強材について、前記導電層、前記導電プラグ、前記補強金属層および前記補強プラグが設けられていることを特徴とする請求項10～12のうちのいずれかに記載の半導体装置。

【請求項14】

前記補強材は、第n-1層目の絶縁膜の内部に、第n-1層目の導電層および第n-1層目の導電プラグからなる第n-1層目の配線層と電気的に切断されて形成された第n-1層目の補強金属層であることを特徴とする請求項11に記載

の半導体装置。

【請求項15】

前記第n層目の絶縁膜の上に設けられ、比誘電率が3.4以下である第n+1層目の絶縁膜と、

前記第n+1層目の絶縁膜の内部に形成された第n+1層目の導電層と、

前記第n+1層目の絶縁膜の内部に、前記第n+1層目の導電層の下面に電気的に接続されて形成され、通電経路を構成する第n+1層目の導電プラグと、

前記第n+1層目の絶縁膜の内部に、前記第n+1層目の導電層および前記第n+1層目の導電プラグからなる第n+1層目の配線層と電気的に切断されて、かつ、前記第n+1層目の導電層からから5μm以内に形成された第n+1層目の補強金属層と、

前記第n+1層目の絶縁膜の内部に、前記第n+1層目の補強金属層の下面に接続されるとともに、前記第n層目の補強金属層に接して形成された第n+1層目の補強プラグと、

をさらに具備することを特徴とする請求項14に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の信頼性を向上させる技術に係り、特に低比誘電率膜からなる絶縁膜内に発生する熱応力に対する導電部の耐久性の向上を図った半導体装置に関する。

【0002】

【従来の技術】

近年、LSIをはじめとする半導体装置の高速化のため、配線抵抗の低抵抗化や、層間絶縁膜の低誘電率化などが進められている。具体的には、配線の材料がアルミニウム(A1)から銅(Cu)へ移行されている。また、層間絶縁膜も単純なSiO₂膜からフッ素をドープしたSiO₂膜や、あるいは有機成分を含むSiO₂膜をはじめとする低比誘電率膜(low-k膜)の採用が図られている。

【0003】

低比誘電率膜は、その材料の密度を低下させたり、あるいは材料中の極性を排除したりすることなどにより形成する。例えば、材料密度の低下を図るために、一般的に材料の多孔質化（ポーラス化）が行われる。このように、低比誘電率膜は膜密度が低いので、一般的にヤング率などの機械的物性値が低い。すなわち、低比誘電率膜は、その材料自体の強度が弱い。これに加えて、低比誘電率膜は、膜中の誘電率を下げるために極性の低い膜構造を有している。このため、低比誘電率膜同士、あるいは低比誘電率膜と他の膜とを積層した積層膜の積層界面における密着強度が弱い。具体的には、低比誘電率膜にヴィアホールや配線用溝などを加工形成する際に用いるガスの浸透や、加工プロセスなどによって膜の材料が変質する。これにより、低比誘電率膜の材料自体の機械的強度が劣化したり、あるいは低比誘電率膜を含む積層膜の界面における密着強度が劣化したりするおそれがある。

【0004】

これら低比誘電率膜の膜強度の弱さや、低比誘電率膜を含む積層膜の界面における密着強度の弱さは、特に半導体装置の配線を多層構造に形成する多層化プロセスにおいて大きな障害となっている。この障害を克服するために、界面処理技術やR I E加工時のプロセスの最適化などによって、低比誘電率膜の膜強度や、低比誘電率膜を含む多層配線構造における密着強度の向上が図られている（例えば特許文献1参照）。

【0005】

【特許文献1】

特開平11-176835号公報

【0006】

【発明が解決しようとする課題】

前述したように、低比誘電率膜の材料は一般的な SiO_2 系の絶縁膜の材料に比べて本質的にヤング率が低い。これに加えて、低比誘電率膜の材料は一般的な SiO_2 系の絶縁膜の材料に比べて線膨張係数が高いことが分かっている。これら低比誘電率膜のヤング率の低さ、およびその線膨張係数の高さが半導体装置およびその製造プロセスにおいて未知の不良を引き起こす可能性は高い。ところが

、低比誘電率膜のヤング率の低さ、およびその線膨張係数の高さに対する本格的な検討および対策は、未だ殆どなされていない。

【0007】

本発明者らは、そのような点に鑑みてシミュレーションを行った。その結果、次に述べる問題が生じるおそれがあることがはじめて明らかにされた。配線が形成される層間絶縁膜のヤング率が小さくなると、例えば多層配線形成プロセス中に金属配線に生じる熱による歪を抑えていた力が弱くなる。すると、配線自体に生じる熱応力は低下するが、配線の伸縮が自由になる。この結果、配線の端部に形成されているヴィアプラグに、配線の変位分の負荷が掛かる。以下、図19～図21を参照しつつ具体的に説明する。図19および図20には、ヤング率の異なる材料からなる層間絶縁膜を約400°Cまで加熱した状態を想定した際の、ヴィアプラグにおけるバリアメタル膜に掛かる応力の大きさ、およびそれぞれの形状をシミュレーションした結果を示す。

【0008】

図19(a), (b)には、層間絶縁膜として、ヤング率が約60GPaである一般的なTEOS膜201を用いた場合のシミュレーションの結果を示す。この場合、図19(a)に示すように、ヴィアプラグ202においてバリアメタル膜(TaN膜)203の左側部(Left side)および右側部(Right side)には、大きな応力集中は生じていない。特に、図19(a)中実線矢印で示すように、応力が掛かり易いヴィアプラグ202におけるバリアメタル膜(TaN膜)203の上端部(Top部)および下端部(Bottom部)には、左側部、右側部とも大きな応力集中は生じていない。ひいては、ヴィアプラグ202全体およびバリアメタル膜203全体にも、大きな応力集中は生じていない。

【0009】

また、歪量を10倍に拡大したうえで断面形状をさらにシミュレーションした場合にも、図19(b)に示すように、ヴィアプラグ202およびバリアメタル膜203には、金属配線204の応力による変形は殆ど確認されない。なお、図19(a)に示すグラフは、ヴィアプラグ202およびバリアメタル膜203の界面付近における、ヴィアプラグ202の高さ方向に沿った垂直方向応力(σ_z

) の分布をシミュレーションした結果を示すものである。このシミュレーションを行う際、図19 (b)においてトップバリア層としてのSiC層205の下面を原点に、またヴィアプラグ202の高さ方向をZ軸としてそれぞれ設定した。これは、次に説明する図20 (a), (b) に示すシミュレーションおよびその結果についても同様である。

【0010】

図20 (a), (b) には、層間絶縁膜として、ヤング率が約11GPaである低比誘電率膜 (low-k膜) 206を用いた場合のシミュレーション結果を示す。この場合、熱による金属配線204の長手方向に沿った伸びを抑える力が弱くなっているので、図20 (a) 中の実線矢印に示すように、ヴィアプラグ202におけるバリアメタル膜 (TaN膜) 203には、その左側部 (Left side) および右側部 (Right side) の下端部 (Bottom部) または上端部 (Top部) に大きな応力集中が生じている。以下、配線の長手方向に沿ってヴィアプラグ202に掛かる応力を水平負荷応力と称することとする。また、図20 (b) に示すように、配線204に生じた水平負荷応力によってヴィアプラグ202およびバリアメタル膜203は大きく変形している。

【0011】

これらの結果によれば、水平負荷応力が原因となってヴィアプラグの側壁であるバリアメタル膜が破壊される可能性が高いことが危惧される。バリアメタル膜が破壊されると、破壊された部分から例えばCuなどの配線用の金属材料が層間絶縁膜内に突出するおそれがある。配線用金属がヴィアプラグ内から層間絶縁膜内に突出すると、ヴィアプラグ内の金属不足による導電層のオープン不良が生じたり、突出した配線用金属が隣接する導電部とショートを起こしたり、さらには配線用金属がデバイス部まで拡散してデバイス不良などを起こしたりする可能性が高くなる。このように、配線用金属がヴィアプラグ内から層間絶縁膜内に突出すると、致命的なヴィアプラグ欠陥につながる可能性が高い。

【0012】

また、前述したように、低比誘電率膜は、その機械的強度が一般的な層間絶縁膜の機械的強度に比べて1~20GPa程度と低い。これに加えて、低比誘電率

膜は、その線膨張係数が一般的な層間絶縁膜や配線材料の膨張係数に比べて20～70 ppm程度と高い。例えば、配線の材料となるCuの膨張係数は16 ppm程度である。このため、図21に示すように、低比誘電率膜206は、例えばその厚さ方向に沿っても熱膨張し易く、その内部に厚さ方向に沿った熱応力による負荷が生じ易い。すなわち、低比誘電率膜206には、基板の表面に対して垂直な方向、あるいは膜中のヴィアプラグ202の高さ方向に沿って熱応力による負荷が生じ易い。以下、低比誘電率膜の厚さ方向に沿ってヴィアプラグ202に掛かる応力を垂直負荷応力と称することとする。

【0013】

低比誘電率膜206に生じた垂直負荷応力は、例えば膜206中のヴィアプラグ202に掛かり易い。特に、ヴィアプラグ202が孤立して配設されている場合、孤立ヴィアプラグ202を取り囲むヴィアプラグ周辺領域全体の低比誘電率膜206の垂直負荷応力が孤立ヴィアプラグ202に一極集中する。この結果、半導体装置の製造プロセスの高温加熱時に低比誘電率膜206内に発生する垂直負荷応力が、孤立ヴィアプラグ202の破壊につながることは容易に想定される。このような現象は、主にヴィアプラグ202の疎密な配設に起因して発生することは明らかである。特に、配線204などが形成されていない広いスペース部（フィールド部）207に隣接して配設されたヴィアプラグ202に、このような現象が顕著に現われることが危惧される。

【0014】

以上説明したように、層間絶縁膜に低比誘電率膜を採用した場合、熱工程において配線に生じる水平負荷応力および膜内に発生する垂直負荷応力によって、ヴィアプラグをはじめとする導電部に致命的な欠陥が生じるおそれが非常に高い。これにより、半導体装置およびその製造プロセスにおいて致命的な不具合が生じるおそれが非常に高い。すなわち、半導体装置の性能や品質などが低下し、半導体装置の信頼性が低下するおそれがある。それとともに、不良な半導体装置が製造されて半導体装置の歩留まりが低下し、半導体装置の生産効率が低下するおそれがある。

【0015】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、低比誘電率膜からなる絶縁膜を具備する半導体装置において、導電部および低比誘電率膜内に発生する熱応力による負荷に対する導電部の耐久性の向上が図られて、信頼性が向上された半導体装置を提供することにある。

【0016】

【課題を解決するための手段】

前記課題を解決するために、本発明の一態様に係る半導体装置は、基板上に設けられ、比誘電率が3.4以下である絶縁膜と、前記絶縁膜の内部に設けられた導電層と、前記絶縁膜の内部に前記導電層に電気的に接続されて形成され、通電経路を構成する導電プラグと、前記導電層の少なくとも下側に設けられ、ヤング率が30GPa以上である補強材と、前記導電層に接続されるとともに、前記補強材に接して形成された第1の補強プラグと、を具備することを特徴とするものである。

【0017】

この半導体装置においては、比誘電率が3.4以下である絶縁膜の内部に設けられた導電層の少なくとも下側に、ヤング率が30GPa以上である補強材が設けられている。また、絶縁膜の内部に設けられた導電層に接続されるとともに、補強材に接して第1の補強プラグが形成されている。すなわち、低比誘電率膜の内部に設けられた導電層が、低比誘電率膜よりも高い強度を有する補強材に第1の補強プラグを介して実質的に接続されている。

【0018】

これにより、例えば半導体装置の製造プロセスの高温加熱時に、低比誘電率膜の内部における導電層の長手方向に沿った熱による変形を第1の補強プラグによって抑制することができる。ひいては、導電層および導電プラグなどの導電部に生じる熱応力による負荷を、第1の補強プラグによって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。さらには、導電層および導電プラグなどの導電部に生じる熱応力による負荷を、第1の補強プラグ自体に生じる熱応力に対する抗力によって低減させることができる。

【0019】

また、例えば低比誘電率膜の厚さ方向に沿った熱膨張を第1の補強プラグによって抑制することができる。ひいては、低比誘電率膜の熱膨張によって低比誘電率膜の内部に生じる熱応力による負荷が導電層および導電プラグなどの導電部に集中しないように、熱応力による負荷を第1の補強プラグによって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。さらには、低比誘電率膜の内部に生じる熱応力による負荷を、第1の補強プラグ自体に生じる熱応力に対する抗力によって低減させることができる。したがって、本発明の一態様に係る半導体装置は、熱応力に対する導電部の耐久性の向上が図られている。

【0020】

また、前記課題を解決するために、本発明の別の態様に係る半導体装置は、基板上に設けられ、比誘電率が3.4以下である絶縁膜と、前記絶縁膜の内部に設けられた導電層と、前記絶縁膜の内部に前記導電層に電気的に接続されて形成され、通電経路を構成する導電プラグと、前記導電層の少なくとも下側に設けられ、ヤング率が30GPa以上である補強材と、前記絶縁膜の内部に、前記導電層および前記導電プラグからなる配線層と電気的に切断されて、かつ、前記配線層から5μm以内に設けられた補強金属層と、前記補強金属層に接続されるとともに、前記補強材に接して形成された補強プラグと、を具備することを特徴とするものである。

【0021】

この半導体装置においては、比誘電率が3.4以下である絶縁膜の内部に設けられた導電層の少なくとも下側に、ヤング率が30GPa以上である補強材が設けられている。また、絶縁膜の内部に設けられた導電層および導電プラグからなる配線層と電気的に切断された補強金属層が、絶縁膜の内部に配線層から5μm以内で設けられている。さらに、補強金属層に接続されるとともに、補強材に接して補強プラグが形成されている。すなわち、低比誘電率膜の内部に設けられた実質的に配線として機能しない補強金属層が、低比誘電率膜よりも高い強度を有する補強材に補強プラグを介して実質的に接続されている。これにより、例えば半導体装置の製造プロセスの高温加熱時に、低比誘電率膜の厚さ方向に沿った熱

膨張を補強金属層および補強プラグによって抑制することができる。

【0022】

また、補強金属層および補強プラグは、低比誘電率膜の内部に配線層に近接して設けられている。これにより、低比誘電率膜の熱膨張によって低比誘電率膜の内部に生じる熱応力による負荷が導電層および導電プラグなどの導電部（配線層）に集中しないように、熱応力による負荷を補強金属層および補強プラグによって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。さらには、低比誘電率膜の内部に生じる熱応力による負荷を、補強金属層自体および補強プラグ自体に生じる熱応力に対する抗力によって低減させることができる。したがって、本発明の別の態様に係る半導体装置は、熱応力に対する導電部の耐久性の向上が図られている。

【0023】

また、前記課題を解決するために、本発明のさらに別の態様に係る半導体装置は、基板上に設けられ、比誘電率が3.4以下である第n層目（nは1以上の整数）の絶縁膜と、前記第n層目の絶縁膜の内部に形成された第n層目の導電層と、前記第n層目の絶縁膜の内部に、前記第n層目の導電層の下面に電気的に接続されて形成され、通電経路を構成する第n層目の導電プラグと、前記第n層目の絶縁膜の内部に、前記第n層目の導電層および前記第n層目の導電プラグからなる第n層目の配線層と電気的に切断されて、かつ、前記第n層目の導電層から5 μm 以内に形成された第n層目の補強金属層と、前記第n層目の絶縁膜の内部に、前記第n層目の補強金属層の下面に接続されるとともに、その下方でヤング率が30GPa以上である補強材に接して形成された第n層目の補強プラグと、を具備することを特徴とするものである。

【0024】

この半導体装置においては、第n層目の絶縁膜の内部に設けられた第n層目の導電層および導電プラグからなる第n層目の配線層と電気的に切断された第n層目の補強金属層が、第n層目の導電層から5 μm 以内で設けられている。また、第n層目の補強金属層に接続されるとともに、ヤング率が30GPa以上である補強材に接して第n層目の補強プラグが形成されている。すなわち、第n層目の

低比誘電率膜の内部に設けられた実質的に配線として機能しない第n層目の補強金属層が、低比誘電率膜よりも高い強度を有する補強材に第n層目の補強プラグを介して実質的に接続されている。これにより、例えば半導体装置の製造プロセスの高温加熱時に、低比誘電率膜の厚さ方向に沿った熱膨張を補強金属層および補強プラグによって抑制することができる。

【0025】

また、第n層目の補強金属層および補強プラグは、第n層目の低比誘電率膜の内部に第n層目の配線層に近接して設けられている。これにより、第n層目の低比誘電率膜の熱膨張によって低比誘電率膜の内部に生じる熱応力による負荷が第n層目の導電層および導電プラグなどの導電部（配線層）に集中しないように、熱応力による負荷を第n層目の補強金属層および補強プラグによって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。さらには、第n層目の低比誘電率膜の内部に生じる熱応力による負荷を、第n層目の補強金属層自体および補強プラグ自体に生じる熱応力に対する抗力によって低減させることができる。したがって、本発明のさらに別の態様に係る半導体装置は、熱応力に対する導電部の耐久性の向上が図られている。

【0026】

【発明の実施の形態】

以下、本発明に係る各実施形態を図面を参照しつつ説明する。

【0027】

(第1の実施の形態)

先ず、本発明に係る第1実施形態を図1～図9を参照しつつ説明する。図1～図7は、それぞれ本実施形態に係る半導体装置の製造方法を示す工程断面図である。図8は、本実施形態に係る半導体装置を示す断面図である。また、図9は、本実施形態に係る半導体装置の内部の配線構造および装置内部に生じる熱応力を模式的に示す断面図である。

【0028】

この第1実施形態では、層間絶縁膜として低比誘電率膜（low-k膜）を採用した半導体装置において、配線等の熱膨張によって半導体装置の内部に生じる応力

を抑制する技術について説明する。また、本実施形態では、半導体装置が備える配線層を2層に積層して設ける。以下、本実施形態の半導体装置およびその製造方法を、製造工程の順番に沿ってまとめて説明する。

【0029】

先ず、図1（a）に示すように、図示しない各種電子回路を構成する能動領域や下層配線などが形成されたシリコン基板（半導体基板）1上に、絶縁膜3、層間絶縁膜（ILD：Inter-level Dielectrics）4、および他の絶縁膜2を順次積層して設ける。具体的には、先ずSi基板1の表面上に、例えばCVD法を用いてヤング率が約30GPa以上である絶縁膜3をその膜厚が約50nmとなるまで堆積させる。この絶縁膜3は、第1の補強膜（補強材）として機能するものであり、本実施形態では、絶縁膜3として、例えばSiCN膜を採用する。続けて、このSiCN膜3の表面上に、CVD法を用いて第1層目の層間絶縁膜4をその膜厚が約300nmとなるまで堆積させる。

【0030】

層間絶縁膜4には、比誘電率が約3.4以下である、いわゆる低比誘電率膜（low-k膜）を採用する。このような低比誘電率膜4としては、例えば、SiOC組成のMSQ（Methyl-Polysiloxane）系のlow-k膜、あるいはPAE（ポリアリーレンエーテル）系のlow-k膜などが挙げられる。本実施形態では、層間絶縁膜4として、特にヤング率が約5GPaであるとともに、線膨張係数が約40ppmであるPAE系の低比誘電率膜4を採用する。したがって、本実施形態では、ヤング率が約30GPa以上であるSiCN膜3が、比誘電率が約3.4以下であり、ヤング率が約5GPaであり、かつ線膨張係数が約40ppmであるPAE系の低比誘電率膜4の下側（裏面）に直接接触して設けられている。続けて、この低比誘電率膜4の表面上に、CVD法を用いてヤング率が約30GPa以上である第1層目の絶縁膜2をその膜厚が約50nmとなるまで堆積させる。この低比誘電率膜4の表面上の絶縁膜2は、第1層目のキャッピング層（キャッピング膜）として機能する。また、前述したSiCN膜3を第1の補強膜とすると、この低比誘電率膜4上の絶縁膜2は、第2の補強膜として機能する。本実施形態では、絶縁膜2として、例えばSiC膜を採用する。

【0031】

次に、図1（b）に示すように、低比誘電率膜4上のSiC膜2から低比誘電率膜4の直下のSiCN膜3にかけて、後述する第1層目の導電層14および導電プラグ15を形成するための第1層目の配線層用凹部5を形成する。導電プラグ15は導電層14に電気的に接続されるように形成され、導電層14とともに実際に通電される通電経路を構成する。すなわち、導電層14および導電プラグ15は、実際に通電されることにより本来の配線として機能する配線層（実効配線層）13を構成する。本実施形態では、配線層13は、導電層14と導電プラグ15とが一体に形成される。すなわち、配線層13は、いわゆるデュアルダマシン構造に形成される。したがって、配線層用凹部5を、その上側が導電層用凹部6、その下側が導電プラグ用凹部7からなる2段構造に形成する。この際、導電層用凹部6と導電プラグ用凹部7とを一体に形成する。なお、第1層目の導電プラグ15は、Si基板1に形成されている電子回路などとの導通を確保するためのコンタクトプラグ15として形成される。したがって、第1層目の導電プラグ用凹部7は、通常のコンタクトプラグ用凹部7として形成される。

【0032】

配線層用凹部5は、例えばRIE法を用いて形成される。この際、コンタクトプラグ用凹部7は、コンタクトプラグ15とSi基板1に形成されている電子回路などとの導通を確保するために、Si基板1の表面を露出するように、第1層目のSiCN膜3などを貫通して形成される。

【0033】

また、配線層13（導電層14）には、後述するように、導電部としての配線層13および絶縁膜としての低比誘電率膜4の内部に発生する熱応力に対する配線層13の耐久性の向上を図るための、第1の補強プラグ（機械的補強プラグ）16が接続される。本実施形態では、1個の第1の補強プラグ16を、その上端部（トップ部）を導電層14の下面（裏面）に直接接続して形成する。すなわち、前述した導電層14および導電プラグ15と同様に、導電層14と第1の補強プラグ16とは、一体構造であるデュアルダマシン構造に形成される。したがって、第1の補強プラグ16を形成するための第1補強プラグ用凹部8は、導電層

用凹部6と一体に形成される。実際には、第1補強プラグ用凹部8は、RIE法を用いてコンタクトプラグ用凹部7と並行して形成される。したがって、第1補強プラグ用凹部8は、Si基板1の表面を露出するように、第1層目のSiCN膜3などを貫通して形成される。

【0034】

次に、図2(a)に示すように、第1層目のSiCN膜(第1層目のキャッピング層)2の表面上、配線層用凹部5の内側、および第1補強プラグ用凹部8の内側に、バリアメタル膜9を設ける。バリアメタル膜9には、金属層であるTa膜10および導電性を有する層であるTaN膜11からなるTa/TaN積層膜9を採用する。具体的には、バリアメタル膜9を、配線層13に直接接触する内側がTa膜10であり、このTa膜10の外側がTaN膜11である2層構造に形成する。バリアメタル膜9は、その膜厚が約10nmとなるまで、例えばバイアス印加形式のスパッタリング成膜方法を用いて成膜される。

【0035】

続けて、バリアメタル膜9が形成されたSi基板1が大気に晒されることのないようSi基板1を高真空中で搬送して、導電層14の基礎(下地)となるめっきシード層(膜)12aを形成するための図示しないスパッタリング装置の処理室内に搬入する。この後、Ta膜10の表面上に、導電層14、導電プラグ15、および第1の補強プラグ16の形成材料を設ける。本実施形態では、導電層14、導電プラグ15、および第1の補強プラグ16を、銅(Cu)を用いて一体に形成する。具体的には、先ずTa膜10の表面上に、Cuからなるめっきシード層(膜)12aを設ける。このCuめっきシード層12aは、その膜厚がべた膜換算で約70nmとなるまで、例えば自己イオン化方式のスパッタリング法(SIS法: Self Ionized Sputtering Method)を用いて成膜される。

【0036】

次に、図2(b)に示すように、Cuめっきシード層12aの表面上に、Cuめっき膜12bを設ける。このCuめっき膜12bは、例えば電解めっき法を用いて成膜される。Cuめっき膜12bは、Cuめっきシード層12aと一体化されつつ成膜される。これにより、Ta膜10の表面上に、導電層14、導電プラ

グ15、および第1の補強プラグ16のそれぞれの形成材料となるCu膜12が成膜される。

【0037】

次に、図3(a)に示すように、不要なバリアメタル膜9およびCu膜12を除去する。具体的には、CMP法を用いて、第1層目のSiC膜(第1層目のキャッピング層)2の表面上のバリアメタル膜9およびCu膜12を研磨して除去する。これにより、配線層用凹部5および第1補強プラグ用凹部8の外側の不要なバリアメタル膜9およびCu膜12をキャッピング層2上から除去して、配線層用凹部5および第1補強プラグ用凹部8の内側にのみ、バリアメタル膜9およびCu膜12を残す。すなわち、配線層用凹部5および第1補強プラグ用凹部8の内側にのみ、Ta膜10およびTaN膜11の積層膜からなるバリアメタル膜9、ならびに導電層14、導電プラグ15、および第1の補強プラグ16となるCu膜12が埋め込まれる。この結果、第1層目のSiC膜2から第1層目のSiCN膜3にかけて、Cu導電層14およびCu導電プラグ(Cu導電コンタクトプラグ)15からなる第1層目のCu配線層13、ならびに第1層目のCu第1補強プラグ16が形成される。Cu配線層13は、いわゆるCuデュアルダッシュン配線である。

【0038】

Cu第1補強プラグ16は、Cuコンタクトプラグ15と同様に、Si基板1の表面にバリアメタル膜9を介して間接的に接触するように、ヤング率が約30GPa以上である第1層目のSiCN膜3を貫通して形成されている。すなわち、Cu第1補強プラグ16は、その下端部(ボトム部)において、Si基板1および第1層目のSiCN膜3にバリアメタル膜9を介して実質的に接続されるようにならびに形成されている。Cu第1補強プラグ16は、実質的に配線として機能しない、いわゆるダミープラグ(犠牲プラグ)である。また、第1層目のCu第1補強プラグ16は、Cu補強コンタクトプラグ、あるいはCu犠牲コンタクトプラグとも称することができる。

【0039】

次に、図3(b)に示すように、第1層目のSiC膜2および第1層目のCu

配線層13などの上に、第2層目のSiCN膜3、第2層目の低比誘電率膜4、および第2層目のSiC膜（第2層目のキャッピング層）2を順次積層して設ける。具体的には、先ず第1層目のSiC膜2および第1層目のCu配線層13などのそれぞれの表面上に、CVD法を用いて第2層目のSiCN膜3をその膜厚が約50nmとなるまで堆積させる。この第2層目のSiCN膜3は、第1層目のトップバリア層（トップバリア膜）として機能する。続けて、第2層目のSiCN膜3の表面上に、CVD法を用いて第2層目の低比誘電率膜4をその膜厚が約300nmとなるまで堆積させる。続けて、第2層目の低比誘電率膜4の表面上に、CVD法を用いて第2層目のSiC膜2をその膜厚が約50nmとなるまで堆積させる。

【0040】

次に、図4に示すように、第2層目のSiC膜2から第2層目のSiCN膜3にかけて、後述する第2層目の導電層26および導電プラグ27を形成するための第2層目の配線層用凹部17を形成する。第1層目の導電層14および導電プラグ15と同様に、第2層目の導電プラグ27は第2層目の導電層26に電気的に接続されるように形成され、導電層26とともに実際に通電される通電経路を構成する。すなわち、導電層26および導電プラグ27は、実際に通電されることにより本来の配線として機能する配線層（実効配線層）25を構成する。また、第1層目の配線層13と同様に、第2層目の配線層25は、導電層26と導電プラグ27とが一体に形成される。すなわち、配線層25はデュアルダマシン構造に形成される。したがって、配線層用凹部17を、その上側が導電層用凹部18、その下側が導電プラグ用凹部19からなる2段構造に形成する。この際、導電層用凹部18と導電プラグ用凹部19とを一体に形成する。なお、第2層目の導電プラグ27は、第1層目の低比誘電率膜4内に形成されている第1層目の配線層13との導通を確保するためのヴィアプラグ27として形成される。したがって、第2層目の導電プラグ用凹部19は、通常のヴィアプラグ用凹部19として形成される。

【0041】

配線層用凹部17は、例えばRIE法を用いて形成される。この際、ヴィアプ

ラグ用凹部19は、ヴィアプラグ27と第1層目の配線層13との導通を確保するため、第1層目の配線層13の表面を露出するように、第2層目のSiCN膜3などを貫通して形成される。

【0042】

また、第1層目の配線層13と同様に、第2層目の配線層25（導電層26）には、配線層25および低比誘電率膜4の内部に発生する熱応力に対する配線層25の耐久性の向上を図るための、第2層目の第1の補強プラグ28（機械的補強プラグ）が接続される。本実施形態では、3個の第1の補強プラグ28を、それらの上端部（トップ部）を導電層26の下面（裏面）に直接接続して形成する。すなわち、前述した導電層26および導電プラグ27と同様に、導電層26と3個の第1の補強プラグ28とは、一体構造であるデュアルダマシン構造に形成される。したがって、第1の補強プラグ28を形成するための3個の第2層目の第1補強プラグ用凹部20は、導電層用凹部18と一緒に形成される。実際には、各第1補強プラグ用凹部20は、RIE法を用いてヴィアプラグ用凹部19と並行して形成される。したがって、各第1補強プラグ用凹部20は、第1層目のSiCN膜2の表面を露出するように、第2層目のSiCN膜3などを貫通して形成される。

【0043】

なお、実際のRIE工程においては、図4に示すように、第1補強プラグ用凹部20の底部が第1層目のSiCN膜2の表面よりも下側に達する、いわゆるオーバーエッチング現象が生じる可能性がある。このオーバーエッチング現象が生じた場合でも、第1補強プラグ用凹部20の深さが、その内部に形成される第2層目の第1の補強プラグ28がその下方の図示しない本来の配線層などに電気的に接続されない深さであれば、何ら問題はない。

【0044】

次に、図5に示すように、第2層目のSiCN膜（第2層目のキャッピング層）2の表面上、配線層用凹部17の内側、および各第1補強プラグ用凹部20の内側に、第2層目のバリアメタル膜21を設ける。第1層目のバリアメタル膜9と同様に、第2層目のバリアメタル膜21には、Ta膜22およびTaN膜23か

らなるTa/TaN積層膜21を採用する。具体的には、バリアメタル膜21を、配線層25に直接接触する内側がTa膜22であり、このTa膜22の外側がTaN膜23である2層構造に形成する。バリアメタル膜21は、その膜厚が約10nmとなるまで、バイアス印加形式のスパッタリング成膜方法を用いて成膜される。

【0045】

続けて、バリアメタル膜21が形成されたSi基板1が大気に晒されることのないように、Si基板1を高真空中で搬送してスパッタリング装置の処理室内に搬入する。この後、Ta膜22の表面上に、導電層26、導電プラグ27、および第1の補強プラグ28の形成材料を設ける。第1層目の導電層14、導電プラグ15、および第1の補強プラグ16と同様に、第2層目の導電層26、導電プラグ27、および第1の補強プラグ28を、Cuを用いて一体に形成する。具体的には、先ずTa膜22の表面上に、Cuからなるめっきシード層(膜)24aを設ける。このCuめっきシード層24aは、その膜厚がべた膜換算で約70nmとなるまで、SIS法を用いて成膜される。

【0046】

次に、図6に示すように、Cuめっきシード層24aの表面上に、Cuめっき膜24bを設ける。第1層目のCuめっき膜12bと同様に、Cuめっき膜24bは、電解めっき法を用いて成膜される。Cuめっき膜24bは、Cuめっきシード層24aと一体化されつつ成膜される。これにより、Ta膜22の表面上に、導電層26、導電プラグ27、および第1の補強プラグ28の形成材料となる第2層目のCu膜24が成膜される。

【0047】

次に、図7に示すように、不要なバリアメタル膜21およびCu膜24を除去する。具体的には、CMP法を用いて、第2層目のSiC膜(第2層目のキャッピング層)2の表面上のバリアメタル膜21およびCu膜24を研磨して除去する。これにより、配線層用凹部17および第1補強プラグ用凹部20の外側の不要なバリアメタル膜21およびCu膜24をキャッピング層2上から除去して、配線層用凹部17および第1補強プラグ用凹部20の内側にのみ、バリアメタル

膜21およびCu膜24を残す。すなわち、配線層用凹部17および第1補強プラグ用凹部20の内側にのみ、Ta膜22およびTaN膜23の積層膜からなるバリアメタル膜21、ならびに導電層26、導電プラグ27、および第1の補強プラグ28となるCu膜24が埋め込まれる。この結果、第2層目のSiC膜2から第2層目のSiCN膜3にかけて、Cu導電層26およびCu導電プラグ(Cu導電ヴィアプラグ)27からなる第2層目のCu配線層25、ならびに第2層目の3個のCu第1補強プラグ28が形成される。Cu配線層25は、いわゆるCuデュアルダマシン配線である。

【0048】

3個のCu第1補強プラグ28は、第2層目のSiCN膜3を略貫通して、第1層目のSiC膜2にバリアメタル膜21を介して間接的に接触するように形成されている。すなわち、各Cu第1補強プラグ28は、その下端部(ボトム部)において、ヤング率が約30GPa以上である第2層目のSiCN膜3および第1層目のSiC膜2にバリアメタル膜21を介して実質的に接続されるように形成されている。第1層目のCu第1補強プラグ16と同様に、第2層目の各Cu第1補強プラグ28は、実質的に配線として機能しないダミープラグ(犠牲プラグ)である。また、第2層目の各Cu第1補強プラグ28は、Cu補強ヴィアップラグ、あるいはCu犠牲ヴィアップラグとも称することができる。

【0049】

これまでの工程により、第1層目のCu配線層13および第2層目のCu配線層25などから構成され、実際に配線として機能する2層構造の実効配線部29がSi基板1上に形成される。

【0050】

次に、図8に示すように、第2層目のSiC膜2および第2層目のCu配線層25などの上に、第3層目のSiCN膜3およびパッシベーション膜30を順次積層して設ける。具体的には、先ず第2層目のSiC膜2および第2層目のCu配線層25のそれぞれの表面上に、CVD法を用いて第3層目のSiCN膜3をその膜厚が約50nmとなるまで堆積させる。この第3層目のSiCN膜3は、第2層目のトップバリア層(トップバリア膜)として機能する。続けて、この第

2層目のトップバリア層(SiCN膜)3の表面上に、例えばCVD法を用いて所定の材料および膜厚からなるパッシベーション膜30を成膜する。以後、予め決められている所定の工程を経て、図8に示す所望の半導体装置31を得る。すなわち、2層の積層配線構造を有する本実施形態の半導体装置31を得る。

【0051】

次に、半導体装置31に熱を加えた際に、2層構造の低比誘電率膜4、第1層目のCu配線層13およびCu補強コンタクトプラグ16、ならびに第2層目のCu配線層25およびCu補強ヴィアプラグ28などに生じる熱応力、ならびにこの熱応力に起因する負荷などについて、図9を参照しつつ説明する。なお、図9においては、半導体装置31の内部に生じる主な熱応力の向きを見易くするために、低比誘電率膜4、Cu配線層13、Cu補強コンタクトプラグ16、Cu配線層25、およびCu補強ヴィアプラグ28のハッチングを省略して描いている。

【0052】

図9において、各実線矢印および各破線矢印は、半導体装置31の内部に生じる主な熱応力の向きを示す。具体的には、図9中破線矢印は、半導体装置31に熱を加えた際に、低比誘電率膜4、Cu配線層13、およびCu配線層25に発生する熱応力、およびこの熱応力に起因する負荷の向きを示す。また、図9中実線矢印は、半導体装置31に熱を加えた際に、前記熱応力および熱応力負荷に抗してCu導電コンタクトプラグ15、Cu補強コンタクトプラグ16、Cu導電ヴィアプラグ27、およびCu補強ヴィアプラグ28に生じる応力(抗力)の向きを示す。以下の説明において、図9中破線矢印で示される前記熱応力および熱応力負荷のうち、Cu配線層13(Cu導電層14)およびCu配線層25(Cu導電層26)の長手方向に沿った向きの熱応力および熱応力負荷を、水平負荷応力と総称することとする。同様に、図9中破線矢印で示される前記熱応力および熱応力負荷のうち、低比誘電率膜4の厚さ方向に沿った向きの熱応力および熱応力負荷を、垂直負荷応力と総称することとする。

【0053】

図9に示すように、第1層目のCu配線層13(Cu導電層14)の下側に設

けられたCu補強コンタクトプラグ16は、Si基板1および第1層目のSiCN膜3に実質的に接続されている。同様に、第2層目のCu配線層25(Cu導電層26)の下側に設けられたCu補強ヴィアプラグ28は、第1層目のSiCN膜(第1層目のキャッピング層)2および第2層目のSiCN膜(第1層目のCu配線トップバリア層)3に実質的に接続されている。そして、Cu補強コンタクトプラグ16は、Cu導電コンタクトプラグ15に対して所定の間隔Cで近接して配設されている。また、3個のCu補強ヴィアプラグ28は、Cu導電ヴィアプラグ27から所定の範囲A内で互いに離間して配設されている。さらに、3個のCu補強ヴィアプラグ28のうち、Cu導電ヴィアプラグ27に最も近いCu補強ヴィアプラグ28は、Cu導電ヴィアプラグ27に対して所定の間隔Bで近接して配設されている。このような構造によれば、Cu導電コンタクトプラグ15およびCu導電ヴィアプラグ27に水平負荷応力および垂直負荷応力が集中するおそれを低減できる。ひいては、Cu配線層13およびCu配線層25からなる実効配線部29に水平負荷応力および垂直負荷応力が集中するおそれを低減できる。以下、具体的に説明する。

【0054】

低比誘電率膜4は、その機械的強度を示すヤング率が一般的な層間絶縁膜であるSiO₂系の絶縁膜のヤング率に比べて1～20GPa程度と本質的に小さいことが分かっている。本発明者らが行った実験によれば、低比誘電率膜4の比誘電率とヤング率との間にはある程度の相関関係があることが確認されている。例えば比誘電率kが3.4程度の低比誘電率膜4では、そのヤング率は20GPa程度に相当することが確認されている。そして、ヤング率が約20GPa以下の強度である低比誘電率膜4を層間絶縁膜として採用すると、加熱工程などにおいて熱によるさまざまな問題が発生することが危惧される。以下、具体的に説明する。

【0055】

層間絶縁膜である低比誘電率膜4のヤング率が小さいと、低比誘電率膜4内に設けられたCu配線層13およびCu配線層25に熱が加えられた際に、各配線層13, 25に生じる熱歪を抑えていた力が弱くなる。すると、各配線層13,

25の内部に生じる熱応力は低下するが、各配線層13, 25の変形（伸縮）が自由になる。この結果、各配線層13, 25の端部に形成されているCu導電コントакトプラグ15およびCu導電ヴィアプラグ27に、各配線層13, 25の変形（変位）による負荷が掛かる。この各配線層13, 25の長手方向に沿った応力は、前述した水平負荷応力を構成する。

【0056】

また、低比誘電率膜4は、その線膨張係数が一般的なSiO₂系の絶縁膜や配線の膨張係数に比べて20~70 ppm程度と高いことが分かっている。例えば、各配線層13, 25の材料となるCuの膨張係数は16 ppm程度である。このため、例えば低比誘電率膜4に熱が加えられると、低比誘電率膜4はその厚さ方向に沿って熱膨張し易く、厚さ方向に沿った熱応力による負荷が膜内に生じ易い。すなわち、低比誘電率膜4には、Si基板1の表面に対して垂直な方向、あるいは膜中の各プラグ15, 16, 27, 28の高さ方向に沿って熱応力による負荷が生じ易い。この低比誘電率膜4の厚さ方向に沿った応力は、前述した垂直負荷応力を構成する。

【0057】

ところが、図9に示すように、本実施形態の半導体装置31では、Cu導電コントакトプラグ15およびCu補強コントакトプラグ16が低比誘電率膜4の内部に設けられたCu導電層14に一体に形成されているとともに、Si基板1および第1層目のSiCN膜3に実質的に接続されている。これにより、Cu導電層14は、Cu補強コントакトプラグ16を介してSi基板1および第1層目のSiCN膜3に実質的に接続されている。同様に、1個のCu導電ヴィアプラグ27および3個のCu補強ヴィアプラグ28が低比誘電率膜4の内部に設けられたCu導電層26に一体に形成されているとともに、第1層目のCu導電層14(Cu配線層13)／第1層目のSiC膜2、および第2層目のSiCN膜3に実質的に接続されている。これにより、Cu導電層26は、各Cu補強ヴィアプラグ28を介して、第1層目のSiC膜2および第2層目のSiCN膜3に実質的に接続されている。第1層目のSiC膜2、ならびに第1層目および第2層目のSiCN膜3は、いずれもそのヤング率が30GPa以上であり、低比誘電率

膜4よりも高い強度を有している。また、Si基板1もそのヤング率が30GPa以上であり、低比誘電率膜4よりも高い強度を有しているのはもちろんである。したがって、Si基板1も第3の補強材として機能する。

【0058】

このような構造によれば、例えば半導体装置31の製造プロセス中の加熱工程において、低比誘電率膜4の内部におけるCu導電層14, 26のそれぞれの長手方向に沿った熱による変形（伸び）を、Cu補強コンタクトプラグ16および各Cu補強ヴィアプラグ28などによって抑制することができる。ひいては、Cu導電層14, 26およびCu導電プラグ15, 27などの導電部に生じる熱応力による負荷を、Cu補強コンタクトプラグ16および各Cu補強ヴィアプラグ28などによって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。

【0059】

また、例えば低比誘電率膜4の厚さ方向に沿った熱膨張をCu補強コンタクトプラグ16および各Cu補強ヴィアプラグ28などによって抑制することができる。ひいては、低比誘電率膜4の熱膨張によって低比誘電率膜4の内部に生じる熱応力による負荷を、Cu補強コンタクトプラグ16および各Cu補強ヴィアプラグ28によって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。これにより、低比誘電率膜4の熱膨張による負荷が、Cu導電層14, 26およびCu導電プラグ15, 27などの導電部に集中することを抑制できる。

【0060】

このように、本実施形態の半導体装置31では、水平負荷応力および垂直負荷応力がCu導電コンタクトプラグ15およびCu導電ヴィアプラグ27などに集中するおそれを、Cu補強コンタクトプラグ16やCu補強ヴィアプラグ28などによって低減できる。特に、水平負荷応力および垂直負荷応力が、Cu導電コンタクトプラグ15およびCu導電ヴィアプラグ27のそれぞれの上下両端部に集中するおそれを低減できる。

【0061】

また、図9に示すように、Cu補強コンタクトプラグ16およびCu補強ヴィアプラグ28に水平負荷応力および垂直負荷応力が掛かると、これら各応力に対する抗力が各補強プラグ16, 28自体に生じる。図9中実線矢印で示すように、各補強プラグ16, 28自体に生じる抗力の向きは、図9中破線矢印で示す各補強プラグ16, 28に掛かる水平負荷応力および垂直負荷応力の向きと反対である。したがって、各補強プラグ16, 28に掛かる水平負荷応力および垂直負荷応力を、各補強プラグ16, 28自体に生じる熱応力に対する抗力によって低減することができる。ひいては、各補強プラグ16, 28に掛かる水平負荷応力および垂直負荷応力を、各補強プラグ16, 28自体に生じる熱応力に対する抗力によって相殺することができる。このように、本実施形態の半導体装置31では、Cu導電層14, 26およびCu導電プラグ15, 27などの導電部に生じる熱応力による負荷を、各補強プラグ16, 28自体に生じる熱応力に対する抗力によって低減させたり、あるいは相殺させたりすることができる。

【0062】

すなわち、前述した構造からなる半導体装置31では、装置内に発生する水平負荷応力および垂直負荷応力を、Cu補強コンタクトプラグ16やCu補強ヴィアプラグ28を含めた実効配線部29全体で低減できる。Cu導電コンタクトプラグ15やCu導電ヴィアプラグ27に掛かる負荷は、Cu補強コンタクトプラグ16およびCu補強ヴィアプラグ28によって低減されている。したがって、Cu導電コンタクトプラグ15やCu導電ヴィアプラグ27が、これらに掛かる負荷によって劣化するおそれは殆ど無い。

【0063】

このように、本実施形態の半導体装置31では、Cu導電コンタクトプラグ15やCu導電ヴィアプラグ27が、熱により生じる水平負荷応力および垂直負荷応力によって破壊されるおそれは殆ど無い。また、Cu導電コンタクトプラグ15やCu導電ヴィアプラグ27を覆っているバリアメタル膜が、水平負荷応力および垂直負荷応力によって破壊されるおそれも殆ど無い。つまり、Cu導電層14, 26およびCu導電プラグ15, 27などから構成される導電部(Cu配線層13, 25)が破壊されるおそれは殆ど無い。これにより、配線材料であるC

Cu が各導電プラグ15, 27から低比誘電率膜(層間絶縁膜)4内に突出することによる各配線層13, 25のオープン不良、隣接する導電部同士でのショート、あるいは装置内のデバイス不良などが起きるおそれは殆ど無い。すなわち、本実施形態の半導体装置31では、致命的なプラグ欠陥が起きるおそれは殆ど無い。ひいては、実際に本来の配線として機能する実効配線部29に致命的な欠陥が生じるおそれは殆ど無い。

【0064】

したがって、本実施形態の半導体装置31は、その装置自体およびその製造プロセスにおいて致命的な不具合が生じるおそれは殆ど無い。この結果、半導体装置31の性能や品質などが低下し、半導体装置31の信頼性が低下するおそれは殆ど無い。それとともに、不良品が製造されて半導体装置31の歩留まりが低下し、半導体装置31の生産効率が低下するおそれも殆ど無い。

【0065】

次に、本発明者らが行った試験およびその結果について、図9および表1～表3を参照しつつ説明する。

【0066】

まず、ここでは、 Cu 補強ヴィアプラグ28による応力緩和の効果を評価するため、第1層目の層間絶縁膜4をそのヤング率が約60GPaであるTEOS膜とし、第2層目の層間絶縁膜4を低ヤング率の低比誘電率膜とした。その上で、 Cu 導電コンタクトプラグ15、 Cu 補強コンタクトプラグ16、 Cu 導電ヴィアプラグ27、および Cu 補強ヴィアプラグ28の径をそれぞれ約0.13μmに形成した。そして、図9中Bで示す各プラグ27, 28同士の間隔およびこれら各プラグ27, 28の個数を、表1～表3に示す大きさおよび個数に設定して Cu 配線層(Cu デュアルダマシン配線)13, 25を形成した。さらに、 Cu 配線層13, 25をそれぞれ単配線として形成した。この際、 Cu 配線層13, 25のそれぞれの各配線パターンの配線幅を約0.13μmに、またそれらの配線長を約100μmに設定した。なお、図示は省略するが、 Cu 補強ヴィアプラグ28同士の間隔も前記間隔Bに準ずるものとする。

【0067】

そして、第1層目のCu配線層13および第2層目のCu配線層25を、電気回路機能を有する单一のCu導電ヴィアプラグ27で積層方向で電気的に接続した、いわゆるボーダーレスチェーンパターンに形成した。また、このパターンの電気回路機能を有するプラグ規模は10k個とした。Cu配線層13, 25のそれぞれの図示しない終端は4端子接続され、2層配線層（多層配線層）であるCu配線層13, 25の電気抵抗変動を測定した。さらに、プラグのボーダーレスチェーンパターンを、約 $2\mu\text{m}$ 間隔で多数個併設した。

【0068】

さらに、補強材であるトップバリア膜（トップバリア層）およびキャッピング膜（キャッピング層）を同種膜にて形成した。具体的には、それら各膜を形成材料のヤング率が約30GPaであるSiC系膜、約20GPaであるMSQ系膜、そして約60GPaであるp-SiH₄膜の3種類の異なる膜に作り分けた。また、これらのヤング率は、MTSシステムズ社製のナノインデンター（Nano Indenter）を用いて測定した。

【0069】

このような設定に基づいて、実効配線部29ひいては半導体装置31全体の信頼性を評価する目的より、多層配線プロセス工程において室温から約400°Cまでの熱サイクルを10回加えた後、電気抵抗変化を測定した。この結果も表1に併記した。評価は、次に述べる基準で行った。試験後のCu配線層13, 25の電気抵抗増加率が10%以上のものを不良とする。そして、半導体装置31の製造プロセスにおける歩留まりが90%以下である場合を×、90~99%である場合を△、そして99%以上である場合を○とした。

【0070】

【表1】

表 1. トップバリア層ヤング率: 30GPa

プラグ数	プラグ間隔(μm)	評価結果
1	—	×
2	0. 26	×
	0. 39	×
3	0. 26	○
	0. 39	○
	0. 52	○
	1. 04	○
4	0. 26	○
	0. 39	○
	0. 52	○
	1. 04	○
5	0. 26	○
	0. 39	○
	0. 52	○
	1. 04	○

【0071】

【表2】

表 2. トップバリア層ヤング率: 20GPa

プラグ数	プラグ間隔(μm)	評価結果
5	0. 26	△
	0. 39	△
	0. 52	×
	1. 04	×

【0072】

【表3】

表 3. トップバリア層ヤング率: 60GPa

プラグ数	プラグ間隔(μm)	評価結果
1	—	×
2	0.26	×
	0.39	×
3	0.26	○
	0.39	○
	0.52	○
	1.04	○

【0073】

表1～表3に示すように、この試験の結果、Cu補強プラグ28を有しないプラグ数1の比較材（サンプル）は、トップバリア層およびキャッピング層のヤング率の大きさに拘らず、全て不良であった。これに対し、Cu導電プラグ27を含めてプラグが3個以上（Cu補強プラグ28が2個以上）であり、しかもCu導電プラグ27、Cu補強プラグ28同士の間隔が約1μm以下のサンプルでは、トップバリア層およびキャッピング層のヤング率が約30GPa以上の場合に、歩留まりがすべて99%以上であった。すなわち、極めて良好な結果を得ることができた。なお、図示は省略するが、本発明者らが行った追試によれば、Cu導電プラグ27を含めてプラグを3個以上設けた場合、各プラグの径の大きさによっては、Cu導電プラグ27、Cu補強プラグ28同士の間隔が約1.5μm程度でもサンプルの歩留まりが99%以上となった。すなわち、極めて良好な結果を得ることができた。

【0074】

また、表2から分かるように、たとえCu導電プラグ27を含めてプラグを5個（Cu補強プラグ28を4個）設けた場合でも、トップバリア層およびキャッピング層のヤング率が約30GPaを下回ると、歩留まりが低下し、良好な結果を得ることはできなかった。これより、また、Cu補強プラグ28の下端部（底部）が接する補強膜（補強材）は、そのヤング率が約30GPa以上の強度を有している必要があることが判明した。

【0075】

このように、本試験によれば、各プラグ15, 16, 27, 28同士の間隔B, C、および補強材のヤング率を適宜、適正な値に設定することにより、信頼性の高い半導体装置3-1を形成することが可能であることが分かった。

【0076】

なお、Cu補強プラグ16, 28の間隔B, Cが狭いほど応力の低減効果が大きくなる。ただし、水平および垂直の各負荷応力別の適正なプラグの個数および間隔は、前述した試験の結果より、以下に述べる値が望ましい。

【0077】

垂直負荷応力の緩和を目的とする場合、プラグ間隔Bは約5μm以下であることが望ましく、Cu補強プラグ16, 28を1個設けただけでも、垂直負荷応力が緩和され得る。一方、水平負荷応力の緩和をも考慮すると、電気回路機能を有するCu導電プラグ15, 27を含めてプラグを3個以上(Cu補強プラグ28が2個以上)設けることが望ましい。そして、プラグ間隔B, Cが約1μm以内になるように、Cu導電プラグ15, 27およびCu補強プラグ16, 28を配設することが望ましい。ただし、プラグ間隔B, Cは、前述した約1μm(規定間隔)以下であればよく、全て等間隔である必要はない。また、垂直負荷応力および水平負荷応力のいずれの応力緩和を目的とする場合でも、図9中Aで示すプラグの配設範囲は、約5μm以下であればよいことが分かった。さらに、図示は省略するが、電気的に接続が無く、かつ、交差する導電配線が配設されている領域では、規定間隔内に補強プラグを配設せずともそれら各配線自体の強度によって応力緩和効果に劣化は認められないことが分かっている。

【0078】

以上説明したように、この第1実施形態によれば、低比誘電率膜4からなる層間絶縁膜を具備する半導体装置3-1において、導電部であるCu配線層13, 25および低比誘電率膜4内に発生する熱応力による負荷に対するCu配線層13, 25の耐久性の向上が図られており、信頼性が向上されている。なお、例えば補強プラグを有しない配線層においては、単一の導電プラグに集中していた応力(水平負荷応力)の分散は、配線層自体を短配線に分割して多層化することによ

っても可能である。ところが、短配線分割の場合には、1層分の導電機能を保持するために2層を要することとなり、設計制約を大きく受ける。これに対して、本実施形態の半導体装置31では、補強プラグ16, 28をそれらの下層の導電配線を避けるように形成することにより、垂直負荷応力、水平負荷応力ともに応力低減機能を発揮することが可能となる。したがって、本実施形態の半導体装置31によれば、配線層数を増やすこと無く、信頼性の高いCu配線層／low-k膜構造からなる多層配線層を有する半導体装置31を提供することが可能となる。

【0079】

(第2の実施の形態)

次に、本発明に係る第2実施形態を図10～図12を参照しつつ説明する。図10は、本実施形態に係る半導体装置を示す断面図である。図11は、本実施形態に係る半導体装置の内部の配線構造および装置内部に生じる熱応力を模式的に示す断面図である。図12は、本実施形態に係る半導体装置の配線層および補強層のそれぞれの配設領域を示す平面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0080】

本実施形態では、図10に示すように、Cu配線層13, 25が形成されていない広範囲の低比誘電率膜4のスペース領域（フィールド部）に、多層構造の補強配線部（犠牲多層配線）54を形成することを特徴とする。補強配線部（犠牲多層配線）54は、電気回路的機能を有さない補強配線層（補強導電層、犠牲配線）を補強プラグ47, 53を用いて積層方向で繋ぐことにより構成されている。以下、2層構造を例に挙げて具体的に説明する。

【0081】

図10に示すように、第1層目には、1個の補強金属層46および2個の補強プラグ（第2の補強プラグ）47から構成される第1層目の補強配線層45が、Cu配線層13に近接して設けられている。補強配線層45は、Cu配線層13と同様に、Cuにより形成されている。また、補強配線層45は、補強金属層46および各補強プラグ47が一体であるデュアルダマシン構造に形成されている

。したがって、この第1層目の補強配線層45が形成される第1層目の補強配線層用凹部42は、その上側が補強金属層用凹部43、その下側が補強プラグ用凹部44からなる2段構造に形成される。この際、補強金属層用凹部43と補強プラグ用凹部44とは一体に形成される。また、補強プラグ用凹部44は、各補強プラグ47がSi基板1に実質的に接触できるように、第1層目のSiCN膜3などを貫通してSi基板1の表面を露出するように形成される。この第1層目の補強配線層用凹部42は、RIE法を用いて第1層目の配線層用凹部13と並行して形成される。

【0082】

補強配線層45の外側には、Ta膜10およびTaN膜11の積層膜からなるバリアメタル膜9が設けられている。各補強プラグ47は、Cu導電コンタクトプラグ15およびCu補強コンタクトプラグ16と同様に、Si基板1の表面にバリアメタル膜9を介して間接的に接触するように、ヤング率が約30GPa以上である第1層目のSiCN膜3を貫通して形成されている。すなわち、補強プラグ47は、その下端部（ボトム部）において、Si基板1および第1層目のSiCN膜3にバリアメタル膜9を介して実質的に接続されるように形成されている。なお、このように補強配線部54の補強プラグ47を補強材としてのSi基板1に接続する場合は、実効配線部29におけるコンタクトプラグ15が接続されるSi基板1の領域と、補強プラグ47が接続されるSi基板1の領域とを互いに電気的に絶縁しておく。

【0083】

また、補強金属層46は、Cu配線層13と電気的に切断されて形成されている。すなわち、補強配線層45とCu配線層13とは絶縁されている。したがって、補強配線層45は実際に配線として機能しないダミー配線（犠牲配線）として形成されている。第1層目の補強プラグ47は、補強コンタクトプラグ、あるいは犠牲コンタクトプラグとも称することができる。

【0084】

この第1層目の補強配線層45およびバリアメタル膜9は、第1層目のCu配線層13およびバリアメタル膜9を形成する際に並行して形成される。また、以

下の説明において、補強配線層45、補強金属層46、および補強プラグ47を、それぞれCu補強配線層45、Cu補強金属層46、およびCu補強コンタクトプラグ47と称することとする。

【0085】

第2層目には、1個の補強金属層52および1個の補強プラグ（第2の補強プラグ）53から構成される第2層目の補強配線層51が設けられている。この第2層目の補強配線層51は、層間絶縁膜（低比誘電率膜）4の積層方向に沿って第1層目の補強配線層45に連続するように設けられている。補強配線層51も、Cu配線層25と同様に、Cuにより形成されている。また、補強配線層51は、補強金属層52および各補強プラグ53が一体であるデュアルダマシン構造に形成されている。したがって、この第2層目の補強配線層51が形成される第2層目の補強配線層用凹部48は、その上側が補強金属層用凹部49、その下側が補強プラグ用凹部50からなる2段構造に形成される。この際、補強金属層用凹部49と補強プラグ用凹部50とは一体に形成される。また、補強プラグ用凹部50は、各補強プラグ53が第1層目のCu補強配線層45（Cu補強金属層46）に実質的に接触できるように、第2層目のSiCN膜3などを貫通して第1層目のCu補強配線層45（Cu補強金属層46）を露出するように形成される。この第2層目の補強配線層用凹部48は、RIE法を用いて第2層目の配線層用凹部17と並行して形成される。

【0086】

補強配線層51の外側には、Ta膜22およびTaN膜23の積層膜からなるバリアメタル膜21が設けられている。各補強プラグ53は、Cu導電ヴィアップラグ27と同様に、第2層目のSiCN膜3を略貫通して、Cu補強配線層45（Cu補強金属層46）の表面にバリアメタル膜21を介して間接的に接触するように形成されている。すなわち、各補強プラグ53は、その下端部（ボトム部）において、ヤング率が約30GPa以上であるCu補強金属層46および第2層目のSiCN膜3にバリアメタル膜21を介して実質的に接続されるように形成されている。

【0087】

また、補強金属層52は、Cu配線層25と電気的に切斷されて形成されている。すなわち、補強配線層51とCu配線層25とは絶縁されている。したがって、補強配線層51は実際に配線として機能しないダミー配線（犠牲配線）として形成されている。第2層目の補強プラグ53は、補強ヴィアプラグ、あるいは犠牲ヴィアプラグとも称することができる。

【0088】

この第2層目の補強配線層51およびバリアメタル膜21は、第2層目のCu配線層25およびバリアメタル膜21を形成する際に並行して形成される。また、以下の説明において、補強配線層51、補強金属層52、および補強プラグ53を、それぞれCu補強配線層51、Cu補強金属層52、およびCu補強ヴィアプラグ53と称することとする。

【0089】

このように、第1層目のCu補強配線層45および第2層目のCu補強配線層51は、実際に配線として機能しないダミー配線（犠牲配線）である。すなわち、各Cu補強配線層45、51は、隣接する実効配線部29の機械的強度向上させるための2層構造からなる補強配線部54を構成するものである。したがって、図10に示すように、本実施形態の半導体装置41は、それぞれ2層の積層配線構造からなる実効配線部29および補強配線部54を備えている。このような構造によれば、Cu配線層13およびCu配線層25からなる実効配線部29に水平負荷応力および垂直負荷応力が集中するおそれを低減できる。特に、実効配線部29に垂直負荷応力が集中するおそれを低減できる。以下、図11を参照しつつ具体的に説明する。

【0090】

なお、図11においては、半導体装置41の内部に生じる主な熱応力の向きを見易くするために、低比誘電率膜4、Cu配線層13、Cu補強コンタクトプラグ16、Cu配線層25、Cu補強ヴィアプラグ28、Cu補強配線層45、およびCu補強配線層51のハッチングを省略して描いている。また、図11中の実線矢印および破線矢印が示す応力（負荷、抗力）は、図9中の実線矢印および破線矢印と同様である。

【0091】

図11に示すように、本実施形態の半導体装置41では、Cu配線層13と電気的に切断されたCu補強金属層46が、低比誘電率膜4からなる第1層目の層間絶縁膜の内部にCu配線層13に近接して設けられている。また、2個のCu補強コンタクトプラグ47がCu補強金属層46と一緒に形成されているとともに、Si基板1および第1層目のSiCN膜3に実質的に接続されている。これにより、Cu補強金属層46は、各Cu補強コンタクトプラグ47を介してSi基板1および第1層目のSiCN膜3に実質的に接続されている。同様に、Cu配線層25と電気的に切断された2個のCu補強金属層52が、低比誘電率膜4からなる第2層目の層間絶縁膜の内部でCu補強金属層46の上方に設けられている。また、Cu補強ヴィアプラグ53が各Cu補強金属層52と一緒に形成されているとともに、第1層目のCu補強金属層46(Cu補強配線層45)および第2層目のSiCN膜3に実質的に接続されている。これにより、各Cu補強金属層52は、各Cu補強ヴィアプラグ53を介して第1層目のCu補強金属層46(Cu補強配線層45)および第2層目のSiCN膜3に実質的に接続されている。

【0092】

このような構造によれば、例えば半導体装置41の製造プロセス中の加熱工程において、低比誘電率膜4の厚さ方向に沿った熱膨張をCu補強コンタクトプラグ47および各Cu補強ヴィアプラグ53などによって抑制することができる。ひいては、低比誘電率膜4の熱膨張によって低比誘電率膜4の内部に生じる熱応力による負荷を、Cu補強コンタクトプラグ47および各Cu補強ヴィアプラグ53によって分散させて緩和または吸収したり、あるいは逃がしたりすることができる。これにより、低比誘電率膜4の熱膨張による負荷が、Cu導電層14, 26およびCu導電プラグ15, 27などの導電部(実効配線部29)に集中することを抑制できる。また、低比誘電率膜4の内部に生じる熱応力による負荷を、Cu補強金属層46, 52自体および各Cu補強プラグ47, 53自体に生じる熱応力に対する抗力によって低減することができる。

【0093】

次に、本発明者らが行った試験およびその結果について、図11および図12、ならびに表4を参照しつつ説明する。

【0094】

第1実施形態と同様の試験プロセスにより、半導体装置41の実効配線部29に対する垂直負荷応力耐性のパターン依存性評価を行った。なお、評価方法も第1実施形態に準じた。ただし、本試験では、第1層目および第2層目の層間絶縁膜4には、ヤング率が約10GPaであり、線膨張係数が約60ppmの物性値を有するMSQ(Methyl-Polysiloxane)系の低比誘電率膜(low-k膜)を採用した。また、トップバリア膜3には、ヤング率が約30GPaであるSiCN膜3を採用した。

【0095】

本試験においては、電気回路機能を有する実効配線部29の周辺構造を次のように設定した。第1実施形態の試験結果に基づいて、Cu導電コンタクトプラグ15およびCu補強コンタクトプラグ16を併せて4個、またCu導電ヴィアプラグ27およびCu補強ヴィアプラグ28を併せて4個設けた。また、Cu導電コンタクトプラグ15とCu補強コンタクトプラグ16との間隔C、およびCu補強コンタクトプラグ16同士の間隔を約0.26μmに設定した。一方、第2層目のCu配線層25には、表4記載の間隔でCu導電ヴィアプラグ27およびCu補強ヴィアプラグ28を配設した。さらに、図11および図12に示すように、実効配線部29に隣接するスペース部(フィールド部)には、補強配線部(補強多層配線)54を表4に記載の間隔(E)で配設した。

【0096】

また、補強配線部54のCu補強プラグ47、53同士の間隔は、第1実施形態の試験結果に基づいて、電気回路機能を有する実効配線部29に形成したプラグ間隔Bと同じ間隔で配設した。さらに、補強配線部54は、各層間でCu補強配線層45、51が略直交するように並べられた構造となっている。また、配線幅は、Cu補強配線層45、51のそれぞれに隣接するスペースの幅と等間隔となるように形成した。つまり、補強配線部54を、いわゆるライン・アンド・スペース・パターンが等間隔となるように形成した。併せて、Cu補強配線層45

, 51を、層ごとに決められているデザインルールの最小ルール幅となるように形成した。

【0097】

図11に示すように、Cu補強コンタクトプラグ47同士、およびCu補強ヴィアプラグ53同士の間隔をDとする。また、図11および図12に示すように、第1層目のCu導電層14と第1層目のCu補強金属層46との間隔をEとする。ただし、図12に示すCu配線層13, 25およびCu補強配線層45, 51のそれぞれの大きさや配線パターンの形状などは、図10および図11に示すCu配線層13, 25およびCu補強配線層45, 51のそれぞれの大きさや配線パターンの形状などと一致していない。図面を見易くして本発明の趣旨を理解し易くするために、Cu配線層13, 25およびCu補強配線層45, 51のそれぞれの大きさや配線パターンの形状などを、図10および図11と図12とで意図的に相違させて描いて示してある。

【0098】

【表4】

表 4

配線層/補強配線層間距離 (μm)	プラグ間隔 (μm)	評価結果
2	3	○
	5	○
	10	×
	20	×
5	3	○
	5	○
	10	×
	20	×
7	3	△
	5	×
	10	×
	20	×
10	3	×
	5	×
	10	×
	20	×

【0099】

以上説明した設定に基づいた試験の結果、表4に示すように、Cu配線層25に配設したプラグ間隔Bは、約 $5\mu m$ 以下が望ましいことが判明した。すなわち、垂直負荷応力を緩和する観点からは、Cu配線層13, 25に配設されるプラグ間隔B, Cは、約 $5\mu m$ 以下とすればよい。同様に、各Cu補強配線層（犠牲多層配線）45, 51のプラグ間隔Dも約 $5\mu m$ 以下が望ましい。また、実効配線部29の第1層目のCu導電層14と、補強配線部54の第1層目のCu補強金属層46との間隔（パターン間距離）Eも約 $5\mu m$ 以下が望ましいことが判明した。さらに、本試験のサンプルである2層構造をはじめとして、配線層が多層構造に形成されている多層配線構造では、各層において、実効配線部29のCu導電層14（26）と、補強配線部54のCu補強金属層46（52）との間隔（パターン間距離）Eを約 $5\mu m$ 以下とすることがより好ましいことが判明した。さらに、垂直負荷応力を緩和するためには、Cu導電コンタクトプラグ15とCu補強コンタクトプラグ47とのプラグ間隔や、Cu導電ヴィアプラグ27とCu補強ヴィアプラグ53とのプラグ間隔を、本実施形態より得られた規定の間隔（約 $5\mu m$ 以下）に配設することが望まれる。

【0100】

また、補強配線部（補強多層配線）54のパターン形状に関しては、図16～図18に示すような様々な形状を取り得ることが判明した。これらの場合でも、本実施形態と同様の効果を得ることができる。これらについては、後述する第6実施形態において詳しく説明する。

【0101】

また、前述したように、補強配線部54では、補強的機能を担う部分は主にCu補強コンタクトプラグ47およびCu補強ヴィアプラグ53である。これにより、各Cu補強配線層45, 51は最小ルール線幅で形成される必要は無い。各Cu補強配線層45, 51が幅広配線に形成されていても、各プラグ47, 53同士の間隔Dが前述した規定範囲内であれば良好な結果を得ることができた。

【0102】

以上説明したように、この第2実施形態によれば、前述した第1実施形態と同

様の効果を得ることができる。また、特に、Cu導電層14とCu補強金属層46との間隔Eを約 $5\mu m$ 以下に設定することにより、実効配線部29に掛かる垂直負荷応力を大幅に低減できる。

【0103】

また、通電経路を構成しない補強配線部54では、トップバリア層としての各層のSiCN膜3およびキャッピング層としてのSiC膜2は必ずしも必要ではない。そして、本実施形態の半導体装置41によれば、これらSiCN膜3およびSiC膜2からなる補強材を設けずとも、実効配線部29に掛かる垂直負荷応力を低減できる。すなわち、補強配線部54における機械的補強機能を発揮できる。これは次に述べる理由による。

【0104】

前述したように、ダミー配線（犠牲配線）である第1層目のCu補強配線層45の各Cu補強コンタクトプラグ47は、バリアメタル膜9を介してSi基板1に実質的に接続されている。Si基板1は、当然そのヤング率が30GPa以上であり、SiCN膜3およびSiC膜2と同様に補強材として機能し得る。したがって、第1層目のSiCN膜3が省略された場合でも、各Cu補強コンタクトプラグ47は実質的に補強材に接続されている。これにより、第1層目のCu補強配線層45(Cu補強金属層46)は、各Cu補強コンタクトプラグ47を介して補強材としてのSi基板1に実質的に接続されている。

【0105】

また、前述したように、ダミー配線である第2層目のCu補強配線層51は、層間絶縁膜（低比誘電率膜）4の積層方向に沿って第1層目のCu補強配線層45に連続するように形成されている。第2層目のCu補強配線層51の各Cu補強ヴィアプラグ53は、バリアメタル膜21を介して第1層目のCu補強配線層45(Cu補強金属層46)に実質的に接続されている。Cu補強配線層45は、当然そのヤング率が30GPa以上であり、SiCN膜3およびSiC膜2と同様に補強材として機能し得る。したがって、第2層目のSiCN膜3およびSiC膜2が省略された場合でも、各Cu補強コンタクトプラグ53は実質的に補強材に接続されている。これにより、第2層目のCu補強配線層51(Cu補強

金属層52)は、各Cu補強ヴィアプラグ53を介して補強材としての第1層目のCu補強配線層45(Cu補強金属層46)に実質的に接続されている。

【0106】

このように、本実施形態の半導体装置41では、第1層目のCu補強配線層45が補強材としてのSi基板1に実質的に接続されるとともに、第2層目のCu補強配線層51が補強材としての第1層目のCu補強配線層45に実質的に接続されている。したがって、補強材としてのSiCN膜3およびSiC膜2を省略しても、補強配線部54における機械的補強機能を発揮できる。これにより、実効配線部29に掛かる垂直負荷応力を低減できる。

【0107】

また、本実施形態によれば、このような補強配線部54を有することで、トップバリア層3やキャッピング層2と低比誘電率膜4との界面における密着強度の向上も図ることができ、信頼性の高いCu配線層／low-k膜構造からなる多層配線層を有する半導体装置41を提供することも可能となる。

【0108】

(第3の実施の形態)

次に、本発明に係る第3実施形態を図13を参照しつつ説明する。図13は、本実施形態に係る半導体装置を示す断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0109】

図13に示すように、本実施形態の半導体装置51では、第2層目のCu配線層25にCu補強ヴィアプラグ28をさらに1個付け加える。以下、具体的に説明する。

【0110】

通常、電気回路機能を有するヴィアプラグは、配線レイアウト(デザインルール)の効率上の観点から、各層の配線層の最端部に配設されることが好ましい。ただし、配線層が形成されている層間絶縁膜の内部に配線層を延長できる余裕がある領域においては、電気回路機能を有するヴィアプラグを補強ヴィアプラグ(犠牲ヴィアプラグ)に挟まれた位置に配設することが好ましい。すなわち、電気

回路機能を有するヴィアプラグが形成されている配線層の部分から、本来の配線層が形成されている側とは反対側に延長部（リザーバー）を形成する。そして、このリザーバーに補強ヴィアプラグを形成する。

【0111】

図13に示すように、半導体装置51では、第2層目のCu配線層25のCu導電層26が、3個のCu補強ヴィアプラグ28が形成されている側とは反対側に延長されて形成されている。この延長部がリザーバー52となる。そして、このリザーバー52のCu導電ヴィアプラグ27から遠い側の端部に、Cu補強ヴィアプラグ28が1個形成されている。これにより、Cu導電ヴィアプラグ27の両側に、Cu補強ヴィアプラグ28が配設された構造となっている。

【0112】

以上説明したように、この第3実施形態によれば、前述した第1実施形態と同様の効果を得ることができる。また、Cu導電ヴィアプラグ27がその両側からCu補強ヴィアプラグ28によって挟まれた（囲まれた）構造となっているので、Cu導電ヴィアプラグ27に掛かる水平負荷応力および垂直負荷応力が大幅に低減される。したがって、本実施形態の半導体装置51では、導電部であるCu配線層13、25および低比誘電率膜4内に発生する熱応力による負荷に対するCu配線層13、25の耐久性がより向上されている。すなわち、半導体装置51は、その信頼性がより向上されている。

【0113】

（第4の実施の形態）

次に、本発明に係る第4実施形態を図14を参照しつつ説明する。図14は、本実施形態に係る半導体装置を示す断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0114】

図14に示すように、本実施形態の半導体装置61では、各Cu補強ヴィアプラグ28が下方に向けて延長されて、第2層目のSiCN膜3および第1層目のSiC膜2を完全に貫通して形成されている。そして、各Cu補強ヴィアプラグ28の下端部が第1層目の低比誘電率膜（層間絶縁膜）4の内部に突入している

したがって、各Cu補強ヴィアプラグ28は、その中間部（中腹部）において補強材（補強膜）であるSiCN膜3およびSiC膜2に実質的に接続されている。

【0115】

以上説明したように、この第4実施形態によれば、前述した第1および第2の各実施形態と同様の効果を得ることができる。また、本実施形態のCu補強ヴィアプラグ28は、図14に示すように、下層（第1層）の低比誘電率膜（層間絶縁膜）4の内部に形成されているCu導電層14（Cu配線層13）などと電気的に接触しない位置および形状に形成すればよい。これにより、装置61内で層間におけるショートなどの電気的不良が生じるおそれを殆ど無くすことができる。それとともに、第2層目のCu導電層26およびCu導電ヴィアプラグ27からなるCu配線層25に掛かる水平負荷応力および垂直負荷応力を低減させることができることができる。

【0116】

(第5の実施の形態)

次に、本発明に係る第5実施形態を図15を参照しつつ説明する。図15は、本実施形態に係る半導体装置を示す断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0117】

図15に示すように、本実施形態の半導体装置61では、キャッピング層となるSiC膜が設けられていない。補強材として、Cu補強ヴィアプラグ28, 53が実質的に接続されるSiCN膜3だけが第1層目および第2層目の低比誘電率膜（層間絶縁膜）4に直接接觸して設けられている。

【0118】

以上説明したように、この第5実施形態によれば、前述した第1～第4の各実施形態と同様の効果を得ることができる。SiC膜が省かれても、Cu補強ヴィアプラグ28, 53が補強膜であるSiCN膜3に実質的に接続されている。したがって、導電部であるCu配線層13, 25および低比誘電率膜4内に発生する熱応力による負荷に対するCu配線層13, 25の耐久性の向上が図られ

ている。すなわち、半導体装置61の信頼性が向上されている。

【0119】

また、前述した第2実施形態の半導体装置41と同様に、本実施形態の半導体装置61においても、通電経路を構成しない補強配線部54では、トップバリア層としての各層のSiCN膜3は必ずしも必要ではない。そして、補強材である各SiCN膜3を設けずとも、実効配線部29に掛かる垂直負荷応力を低減できる。すなわち、補強配線部54における機械的補強機能を發揮できる。この理由は、第2実施形態において説明した通りである。

【0120】

(第6の実施の形態)

次に、本発明に係る第6実施形態を図16～図18を参照しつつ説明する。図16～図18は、本実施形態に係る半導体装置の補強配線層の様々な配設パターンを示す平面図および断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0121】

図16に示す半導体装置81では、Cu補強金属層83およびCu補強コンタクトプラグ84(Cu補強ヴィアプラグ84)からなるCu補強配線層82が3層に積層されて形成されている。すなわち、半導体装置81は、多層補強配線構造を有している。そして、図16(a), (b)に示すように、各層のCu補強配線層82は、それらの長手方向が隣接する層のCu補強配線層82の長手方向と略直交するように配設されている。なお、図16(b)は、図16(a)中一点鎖線X-Xに沿って示す断面図である。

【0122】

また、図17に示す半導体装置91では、前述した半導体装置81と同様に、Cu補強金属層83およびCu補強コンタクトプラグ84(Cu補強ヴィアプラグ84)からなるCu補強配線層82が、3層に積層されて形成されている。すなわち、半導体装置91も、多層補強配線構造を有している。ただし、半導体装置91では、図16(a), (b)に示すように、各層のCu補強配線層82は、それらの長手方向がすべての層で一致する(略平行になる)ように、積層方向

で略同じ位置に配設されている。なお、図17(b)は、図17(a)中一点鎖線Y-Yに沿って示す断面図である。

【0123】

さらに、図18に示す半導体装置101では、Cu補強コンタクトプラグ(Cu補強ヴィアプラグ)104、および補強プラグ104と略同じ大きさ(サイズ)および形状のCu補強金属層103からなるCu補強配線層102が、3層に積層されて形成されている。すなわち、半導体装置101も、多層補強配線構造を有している。なお、図18(b)は、図18(a)中一点鎖線Z-Zに沿って示す断面図である。

【0124】

なお、図16～図18においては、図面を見易くするために、最上層のSiC膜2、SiCN膜3、およびパッシベーション膜30を省略して描いてある。

【0125】

以上説明したように、この第6実施形態によれば、前述した第2、第4、および第5の各実施形態と同様の効果を得ることができる。特に、本実施形態の半導体装置81、91、101のように、Cu補強配線層82、102を適宜、適正な大きさおよび形状に形成するとともに、適正な位置に配設することにより、補強効果を保持しつつデザインルールから要請されるCu補強配線層(犠牲多層配線)82、102の設計上の制約を低減できる。すなわち、Cu補強配線層82、102の機械的補強効果を保持しつつ、設計上の自由度を向上できる。なお、配線層が多層構造に形成されている多層配線構造では、各層において、図示しない実効配線部のCu導電層と、補強配線部のCu補強金属層83、103との間隔(パターン間距離)を約5μm以下とすることがより好ましい。

【0126】

なお、本発明に係る半導体装置は、前述した第1～第6の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは製造工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

【0127】

例えば、各補強プラグは、それらの一部が機械的強度（ヤング率）の高い補強材（補強膜）に実質的に接続されていればよい。接続箇所は、下端部や中間部（中腹部）以外でも構わない。さらに、導電層または補強金属層の上面に接続する補強プラグを、その上方に設けた補強材に接続されるように別に設けても構わない。あるいは、各補強プラグは、これが接続されている導電層または補強金属層の下方に設けられている全ての補強材に接続されるように形成されていても構わない。また、導電層と導電プラグ、導電層と第1の補強プラグ、補強金属層と第2の補強プラグ（補強プラグ）は、いわゆるシングルダマシン構造に形成されても構わない。導電層または補強金属層と各補強プラグとの接合部における強度が、この接合部に掛かる水平負荷応力および垂直負荷応力よりも大きければよい。

【0128】

また、比誘電率が3.4以下である低比誘電率膜としては、例えばポリシロキサン、ハイドロジェンシロセスキオキサン、ポリメチルシロキサン、メチルシロセスキオキサンなどのシロキサン骨格を有する膜や、ポリアリーレンエーテル、ポリベンゾオキサゾール、ポリベンゾシクロブテンなどの有機樹脂を主成分とする膜や、あるいは多孔質シリカ膜などのポーラス膜などを用いることができる。

【0129】

また、ヤング率が30GPa以上である補強材（補強膜）は、SiCN膜やSiC膜には限られない。ヤング率が約30GPa以上であり、かつ、電気的機能（導電性）を有していない材料により形成されていればよい。例えば、セラミックなどによって形成されていてもよい。具体的には、 d -TEOS, p -SiH₄, SiO₂, SiO, SiOP, SiOF, SiN, SiON, SiCH, SiOC, SiOCHなどを用いることができる。また、キャッピング膜（キャッピング層）のヤング率が約30GPa以上であり、このキャッピング膜を補強材（補強膜）として用いることができる場合、配線の材料などによっては、トップバリア膜（トップバリア層）を省略することもできる。すなわち、補強材は、少なくとも1種類（1層）設けられていればよい。ただし、補強材を複数種類（複数層、多層）設けても構わないのはもちろんである。所望する半導体装置の構成や機能などに応じて適宜、適正な種類数（層数）に設定すればよい。

【0130】

また、導電層、導電プラグ、第1の補強プラグ、補強金属層、第2の補強プラグの形成材料は、銅(Cu)に限られない。具体的には、Cu、Al、W、Ta、Nb、Ti、V、Ru、Moなどの金属元素のうちの1種類以上を主成分とする金属膜、あるいはこれらの元素を組み合わせた金属積層膜により形成しても構わない。また、導電層、導電プラグ、および第1の補強プラグと、補強金属層および第2の補強プラグとを互いに異なる材料により形成しても構わない。補強金属層および第2の補強プラグからなる補強配線部が、導電層、導電プラグ、および第1の補強プラグからなる実効配線部に掛かる水平負荷応力および垂直負荷応力を低減できる材料により形成されればよい。

【0131】

また、バリアメタル膜はTaおよびTaNの積層膜に限定されず、TiおよびTiN、NbおよびNbN、WおよびWN、あるいはZrおよびZrNの各組み合わせなどでも構わない。さらに、これらの各金属や、化合物、あるいはTaSiN、TiSiNなどを単体で設けてもよい。また、化合物からなる層は、窒化物に限らず、例えば前記各金属元素を主成分とした炭化物や、あるいはホウ化物などでも構わない。すなわち、バリアメタル膜は、導電層、導電プラグ、第1の補強プラグ、補強金属層、および第2の補強プラグなどのそれぞれの形成材料に応じて、実効配線部の水平負荷応力および垂直負荷応力に対する耐久性、および補強配線部の補強機能を向上できる材料により形成されればよい。そのようなバリアメタル膜の形成材料としては、例えば、IVa族、Va族、またはVIa族の金属とその化合物などの中から選択して用いればよい。

【0132】

また、以上説明した低比誘電率膜、補強材、配線、およびバリアメタル膜の形成材料は、それらの間で互いの機能を向上し合えることができる材料を組み合わせて用いることが好ましいのはもちろんである。

【0133】

また、第1～第6の各実施形態の実効配線部または補強配線部の配線パターンの形状などは、図8、図10、および図13～図18で示した形状には限られな

い。例えば、図13に示す第3実施形態のすべてのCu補強ヴィアプラグ28を、図14に示す第4実施形態のCu補強ヴィアプラグ28のように、下層の低比誘電率膜4の内部に突入させる形状に形成しても構わない。そして、図15に示す第5実施形態のように、低比誘電率膜4に隣接して設けられる絶縁膜をSiCN膜3だけとしても構わない。このような設定としても、本発明の効果を十分に得ることができる。

【0134】

さらに、層間絶縁膜、補強材、配線層、および補強配線層の積層数は、2層あるいは3層には限られない。1層でも、あるいは4層以上でも構わないのはもちろんである。

【0135】

【発明の効果】

本発明に係る半導体装置によれば、導電層および導電プラグなどの導電部および低比誘電率膜の内部に生じる熱応力による負荷に対する、導電部の耐久性の向上が図られており、信頼性が向上されている。

【図面の簡単な説明】

【図1】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図2】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図3】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図4】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図5】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図6】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図7】

第1実施形態に係る半導体装置の製造工程を示す工程断面図。

【図8】

第1実施形態に係る半導体装置を示す断面図。

【図9】

第1実施形態に係る半導体装置の内部の配線構造および装置内部に生じる熱応力を模式的に示す断面図。

【図10】

第2実施形態に係る半導体装置を示す断面図。

【図11】

第2実施形態に係る半導体装置の内部の配線構造および装置内部に生じる熱応力を模式的に示す断面図。

【図12】

第2実施形態に係る半導体装置の配線層および補強配線層のそれぞれの配設領域を示す平面図。

【図13】

第3実施形態に係る半導体装置を示す断面図。

【図14】

第4実施形態に係る半導体装置を示す断面図。

【図15】

第5実施形態に係る半導体装置を示す断面図。

【図16】

第6実施形態に係る半導体装置の補強配線層の配設パターンを示す平面図および断面図。

【図17】

第6実施形態に係る半導体装置の補強配線層の他の配設パターンを示す平面図および断面図。

【図18】

第6実施形態に係る半導体装置の補強配線層のさらに他の配設パターンを示す平面図および断面図。

【図19】

本発明者らが行ったシミュレーション結果を示す特性図および断面図。

【図20】

本発明者らが行ったシミュレーション結果を示す特性図および断面図。

【図21】

低比誘電率膜からなる層間絶縁膜が熱膨張した状態を示す断面図。

【符号の説明】

1 … Si 基板

2 … SiC 膜（補強膜、ヤング率が 30 GPa 以上である補強材）

3 … SiCN 膜（補強膜、ヤング率が 30 GPa 以上である補強材）

4 … 低比誘電率膜（層間絶縁膜、比誘電率が 3.4 以下である絶縁膜）

13, 25 … Cu 配線層（配線層）

14, 26 … Cu 導電層（導電層）

15 … Cu 導電コンタクトプラグ（Cu 導電プラグ、導電プラグ）

16 … Cu 補強コンタクトプラグ（Cu 補強プラグ、第1の補強プラグ）

27 … Cu 導電ヴィアプラグ（Cu 導電プラグ、導電プラグ）

28 … Cu 補強ヴィアプラグ（Cu 補強プラグ、第1の補強プラグ）

45, 51, 82, 102 … Cu 補強配線層（補強配線層）

46, 52, 83, 103 … Cu 補強金属層（補強金属層）

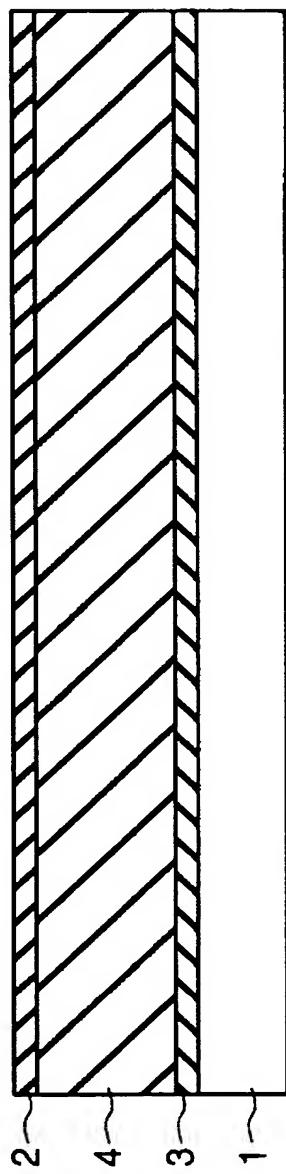
47 … Cu 補強コンタクトプラグ（Cu 補強プラグ、第2の補強プラグ）

53 … Cu 補強ヴィアプラグ（Cu 補強プラグ、第2の補強プラグ）

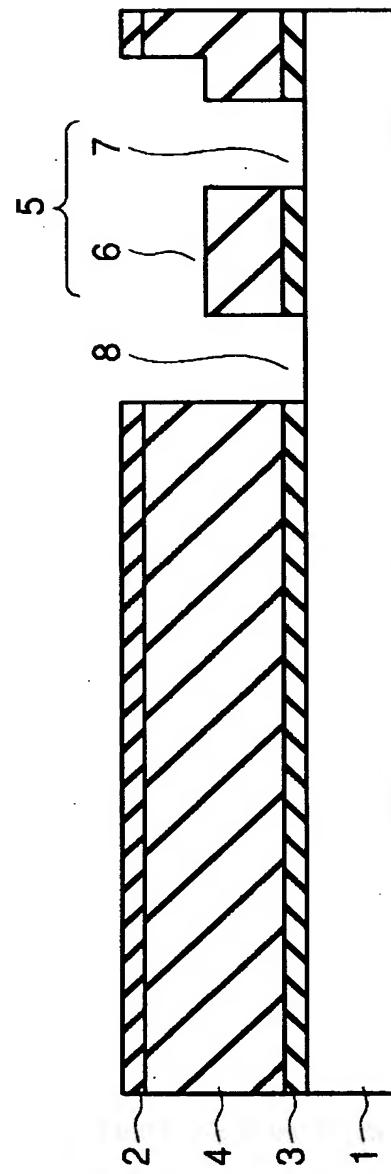
84, 104 … Cu 補強プラグ（第2の補強プラグ）

【書類名】 図面

【図1】

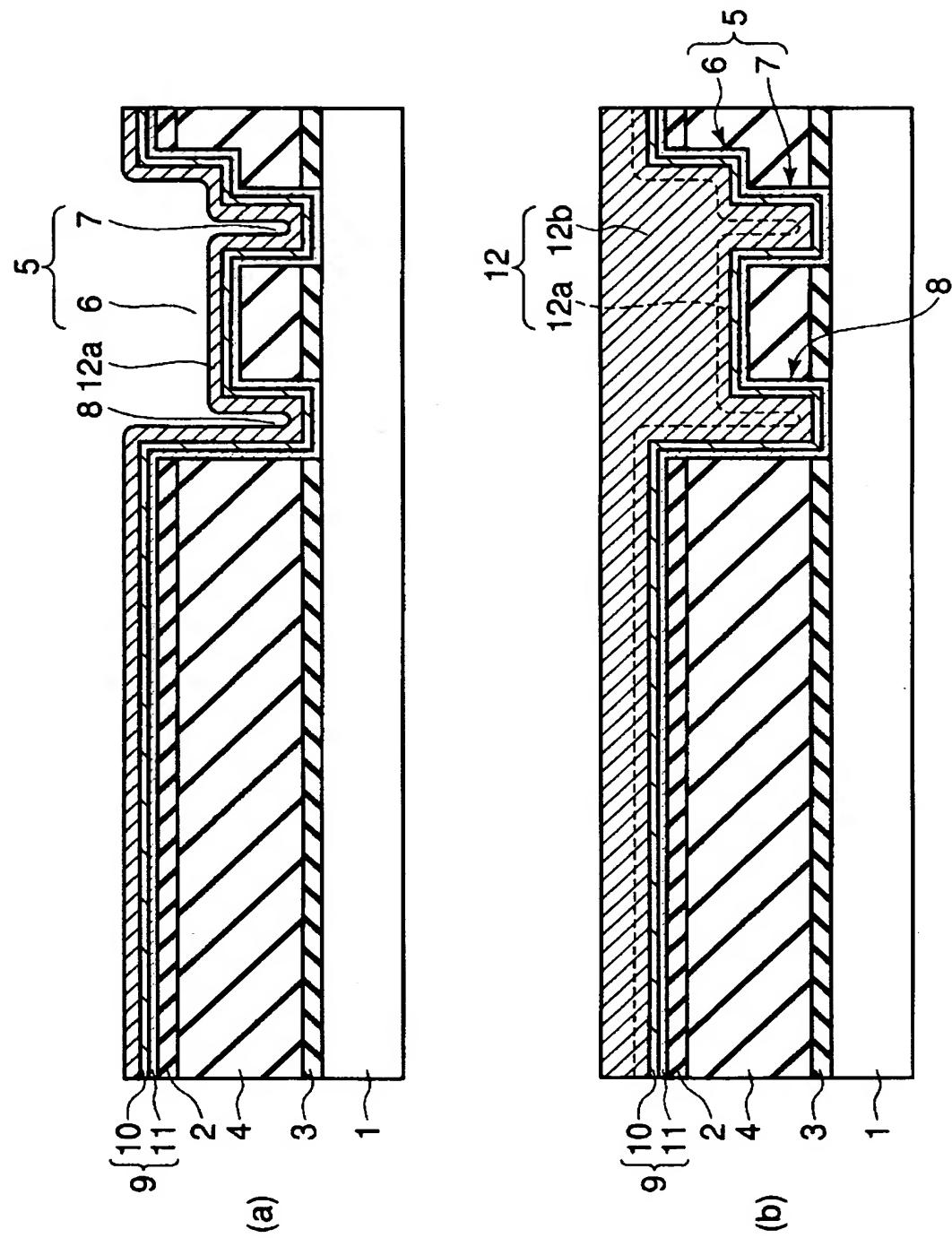


(a)

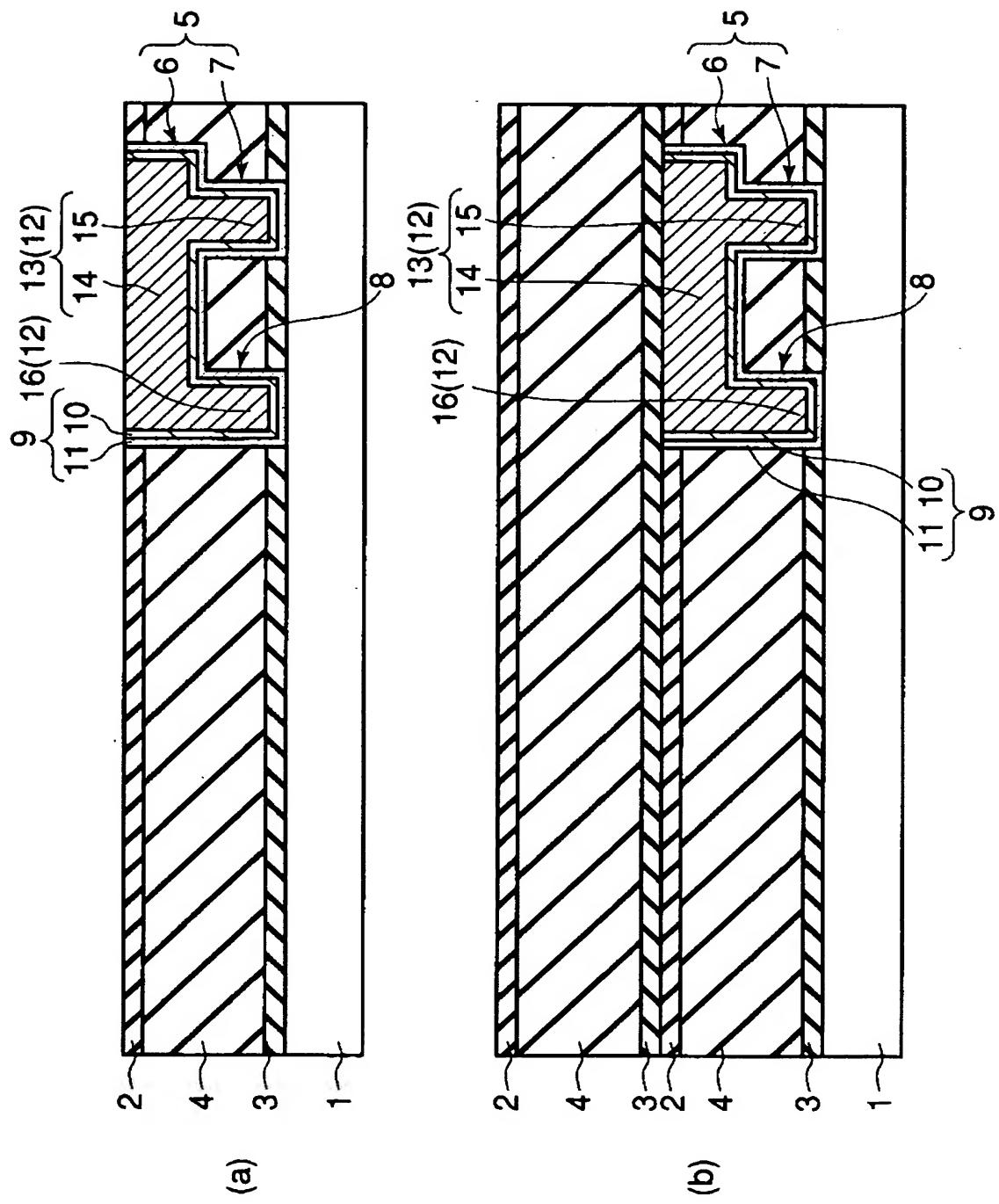


(b)

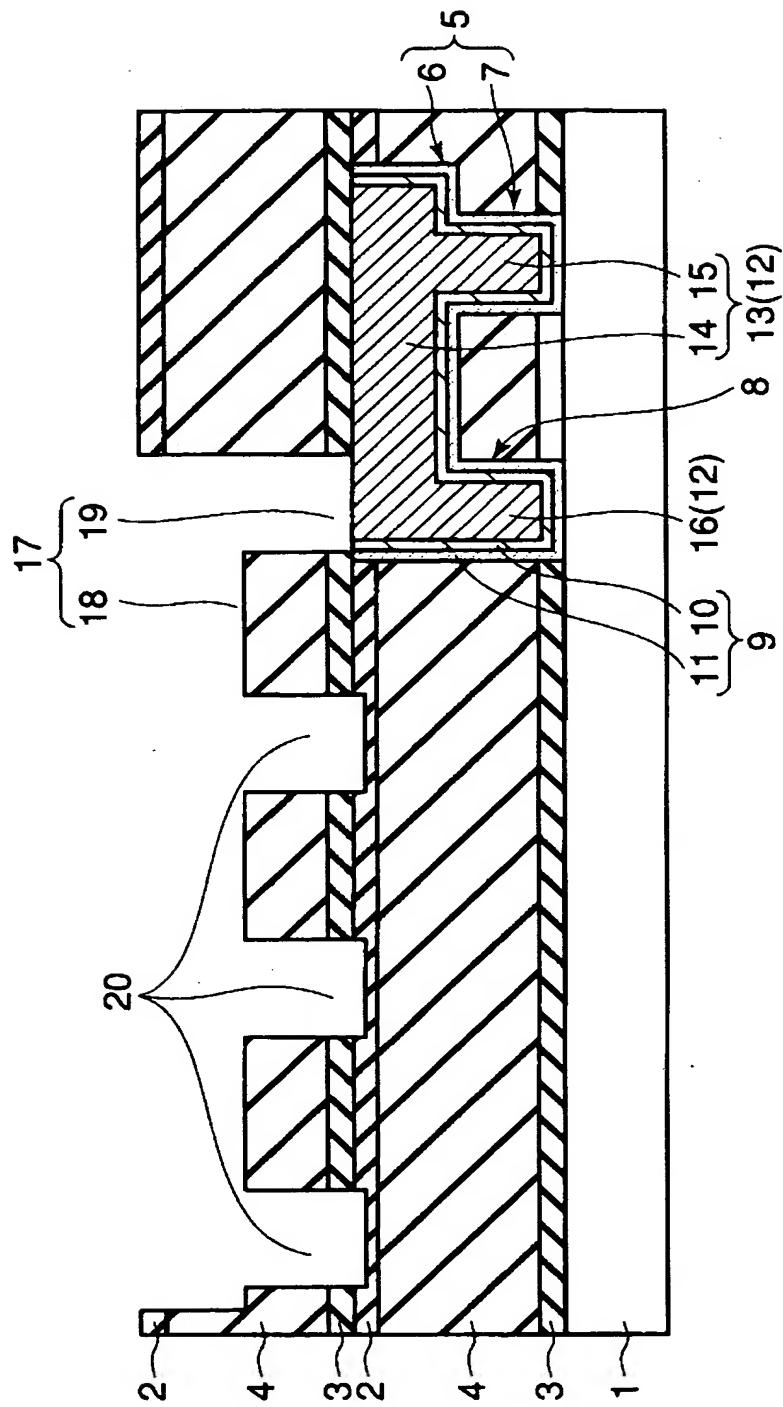
【図2】



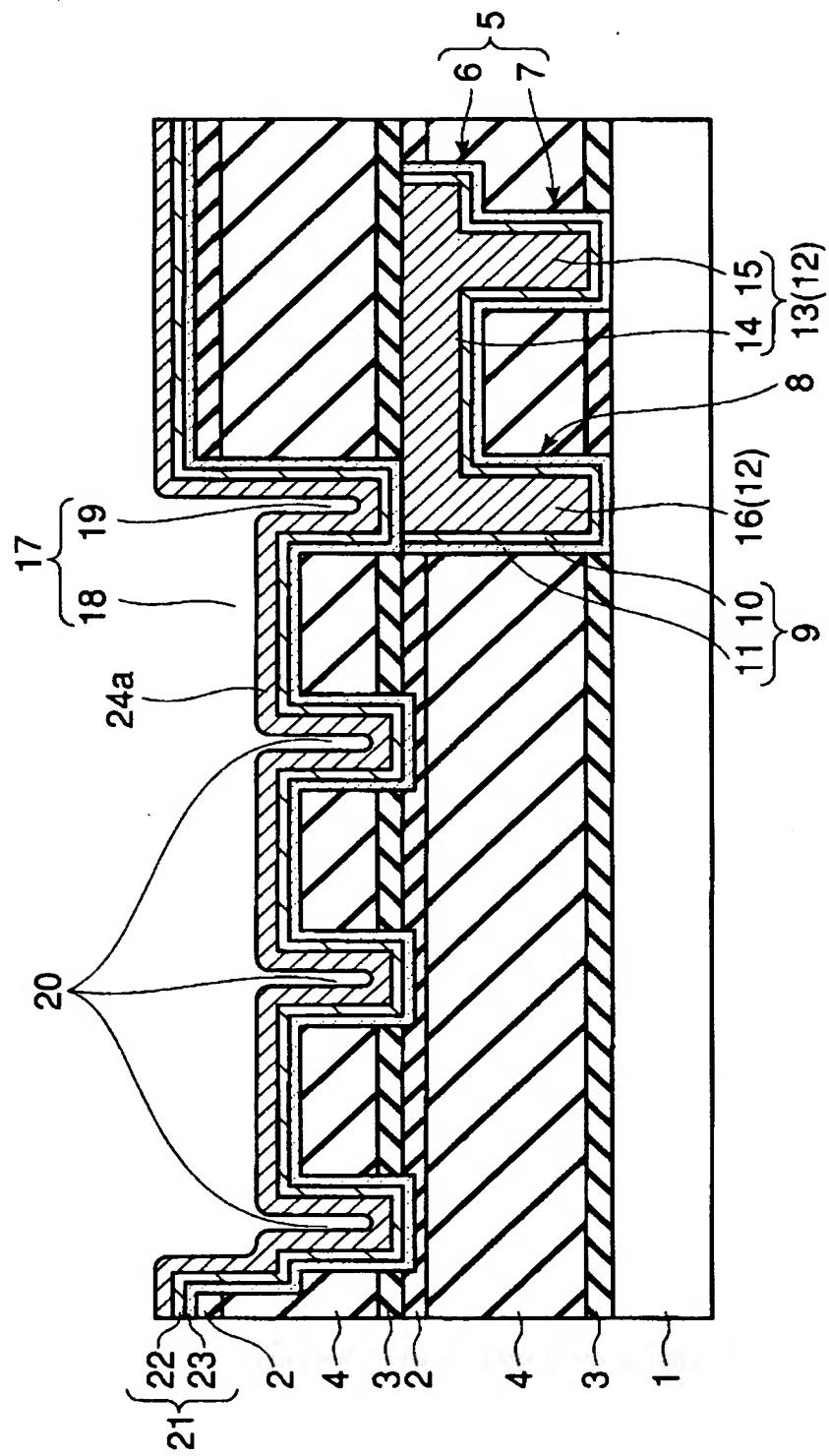
【図3】



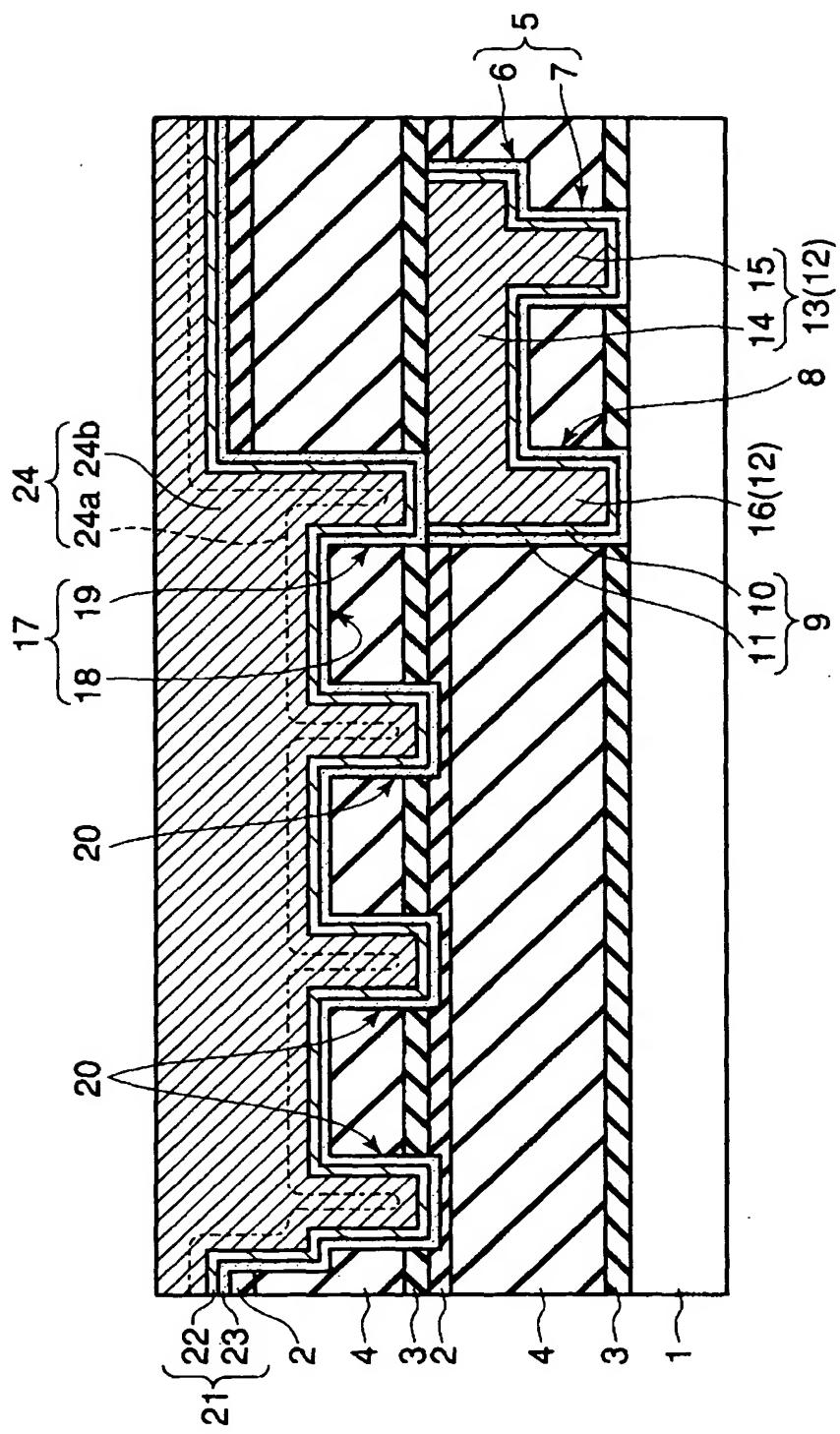
【図4】



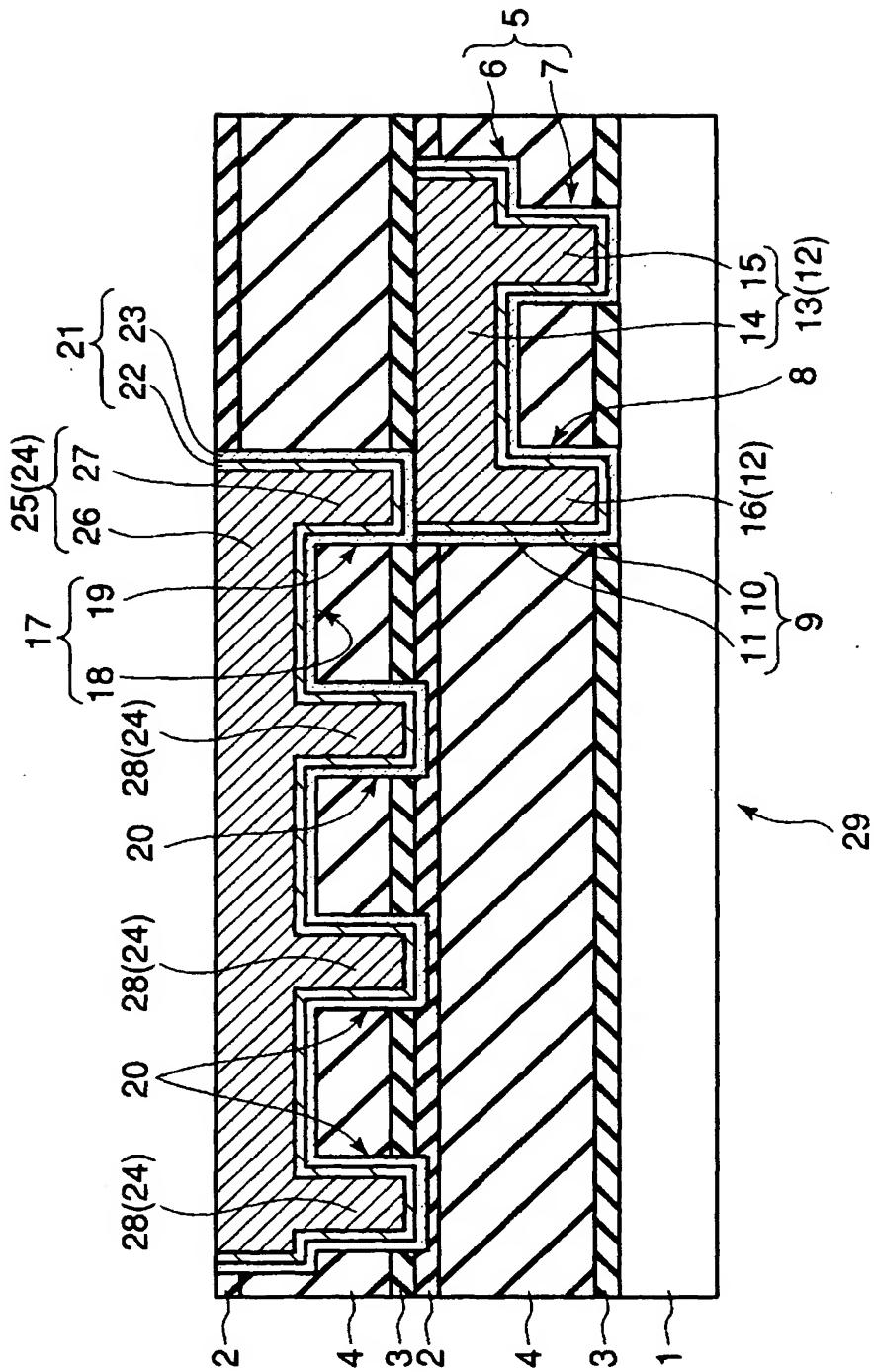
【図5】



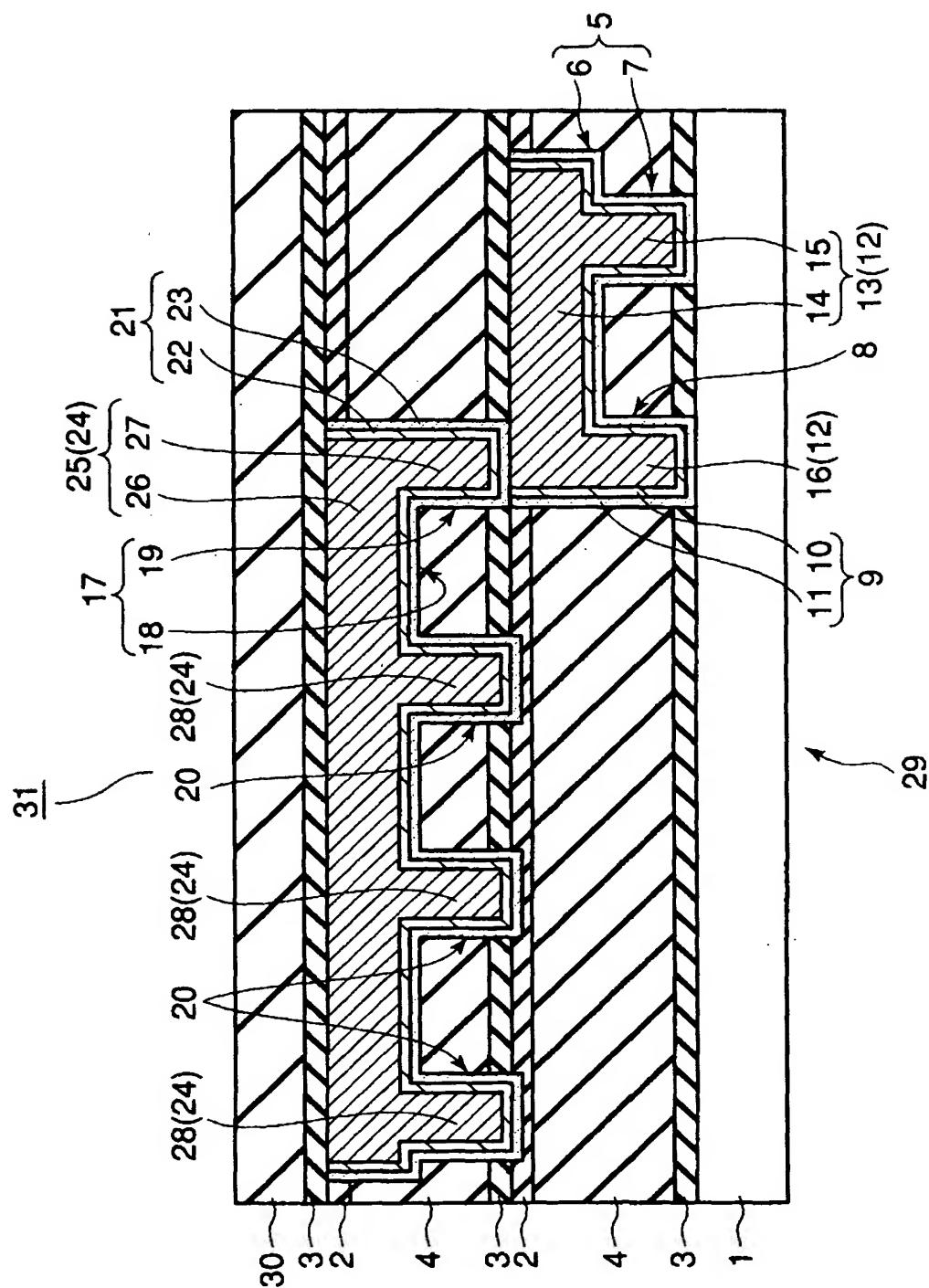
【図6】



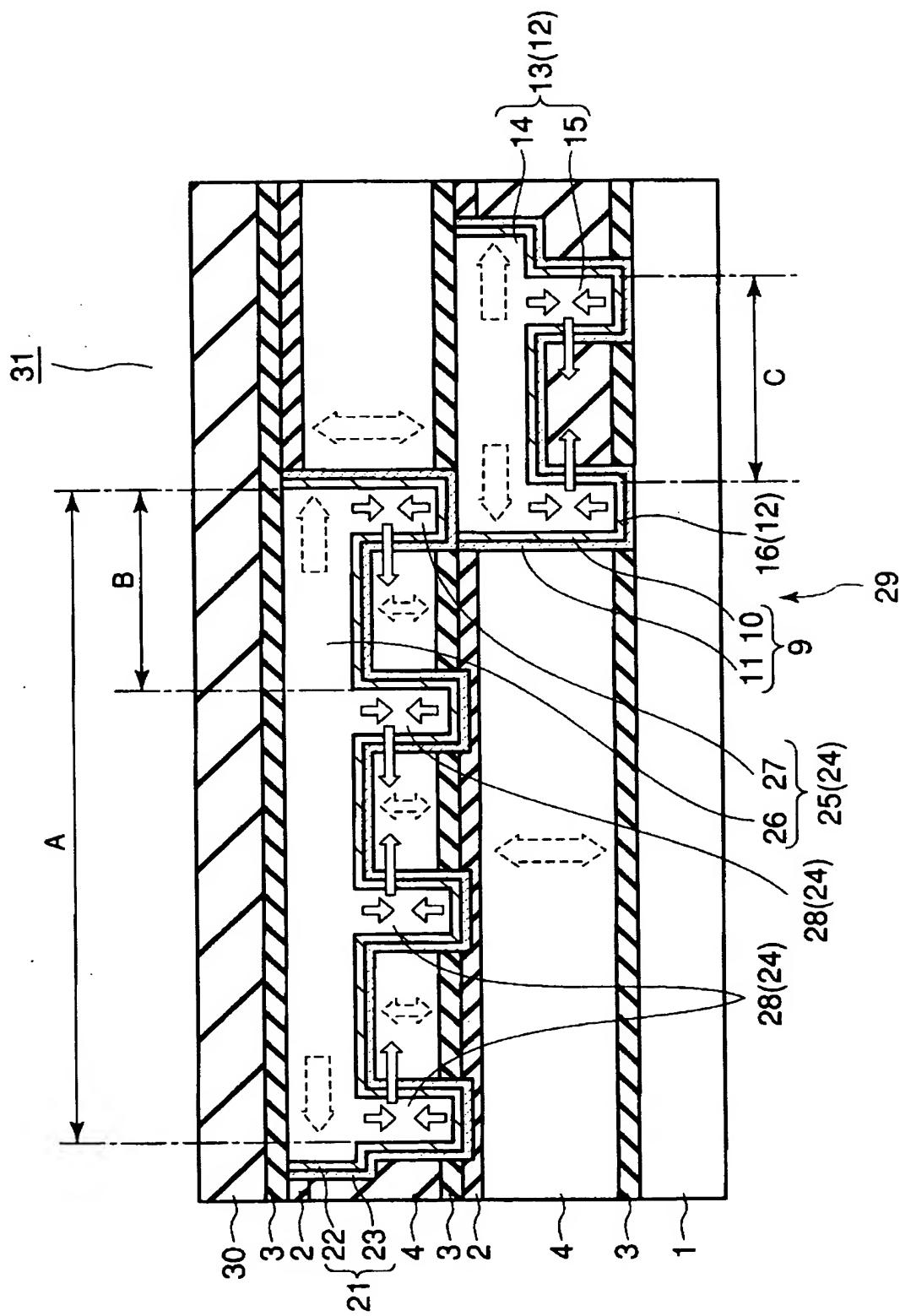
【図7】



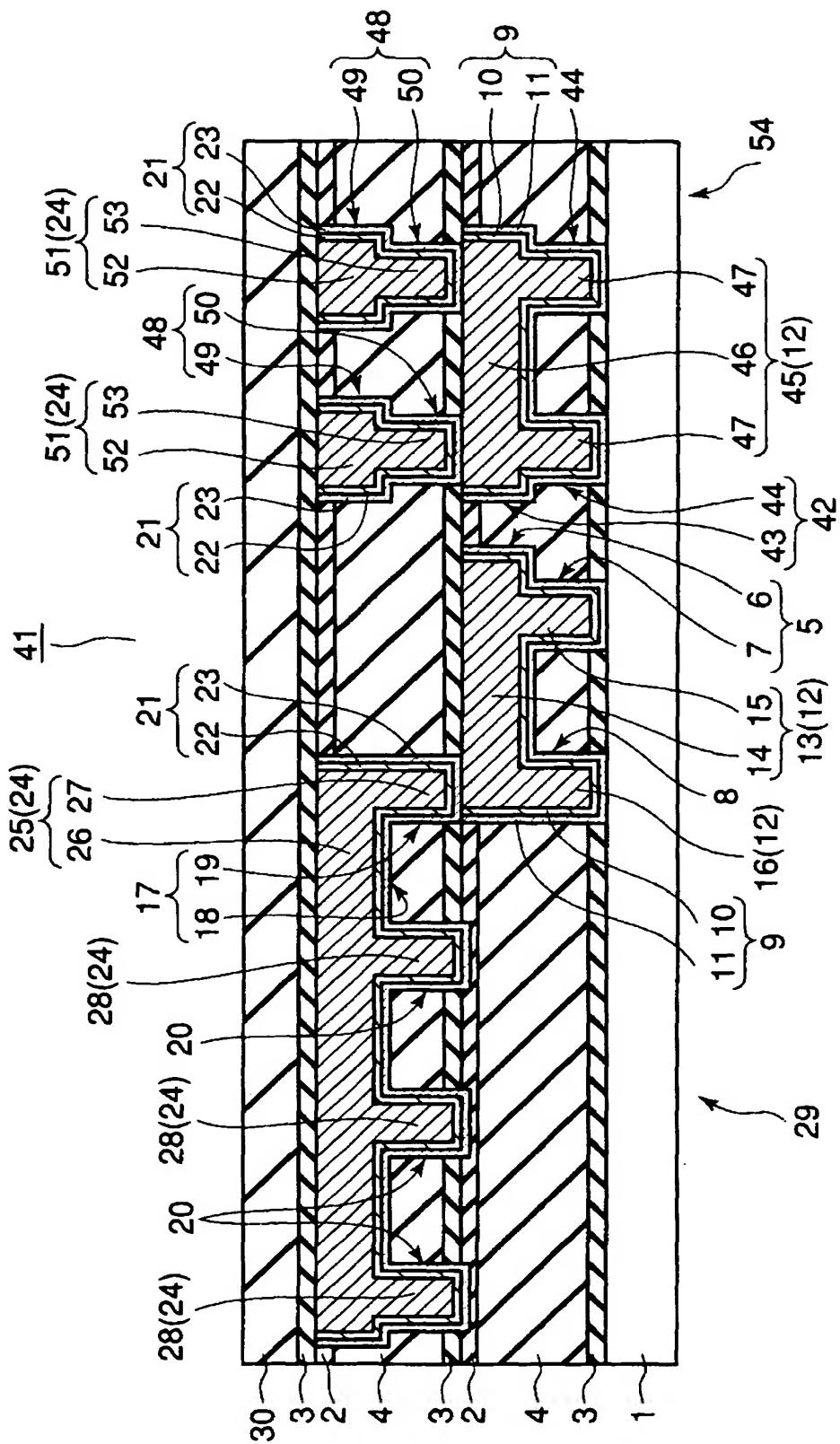
【図8】



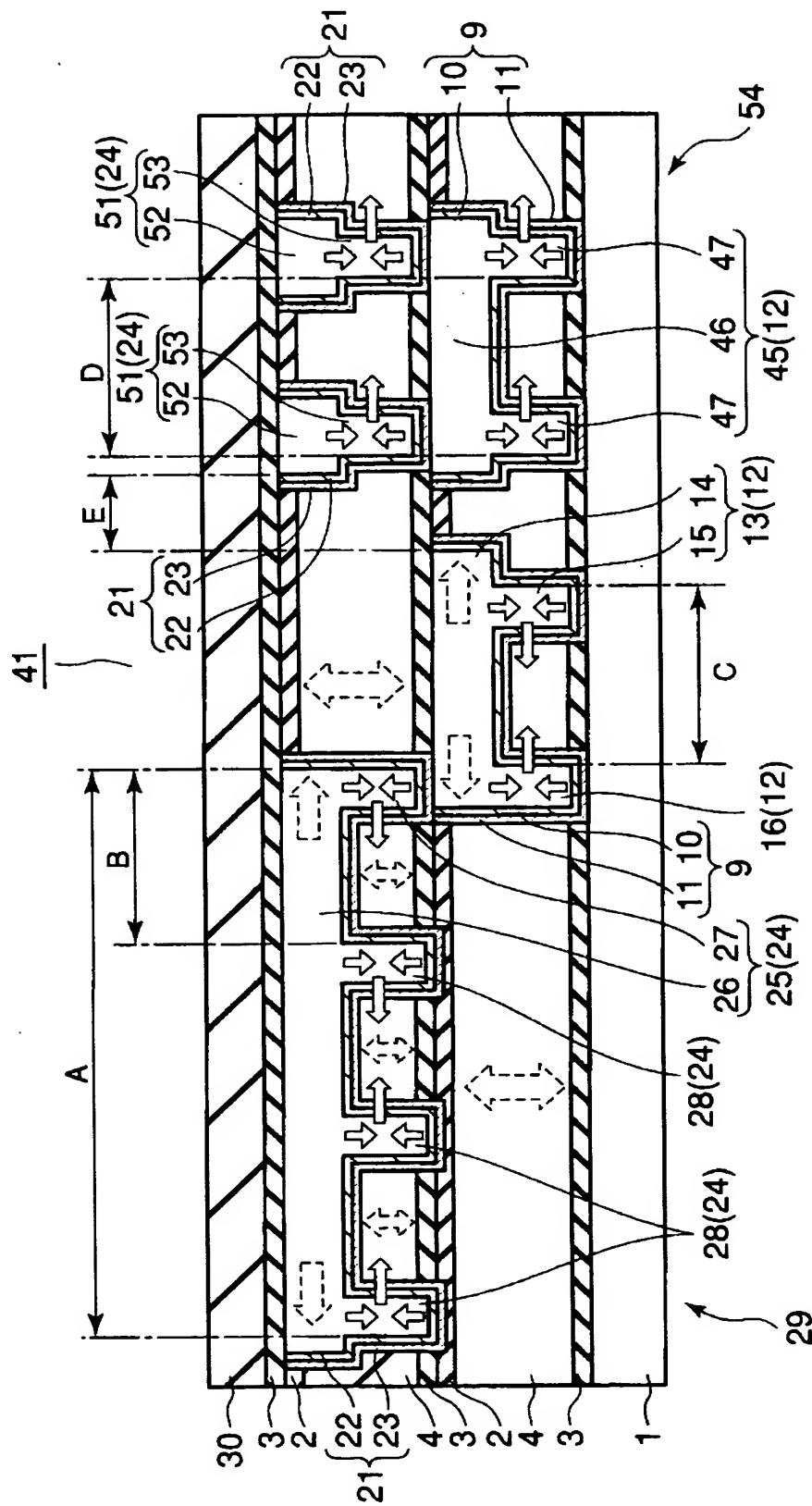
【図9】



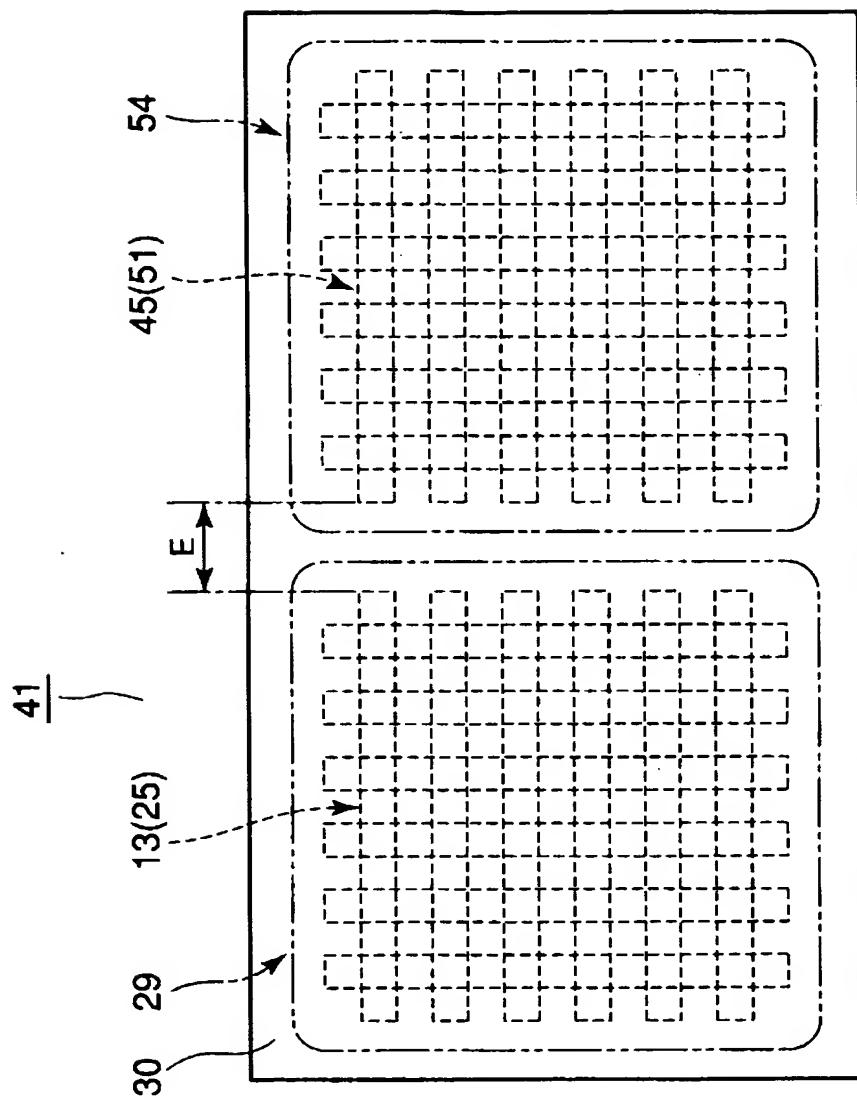
【図10】



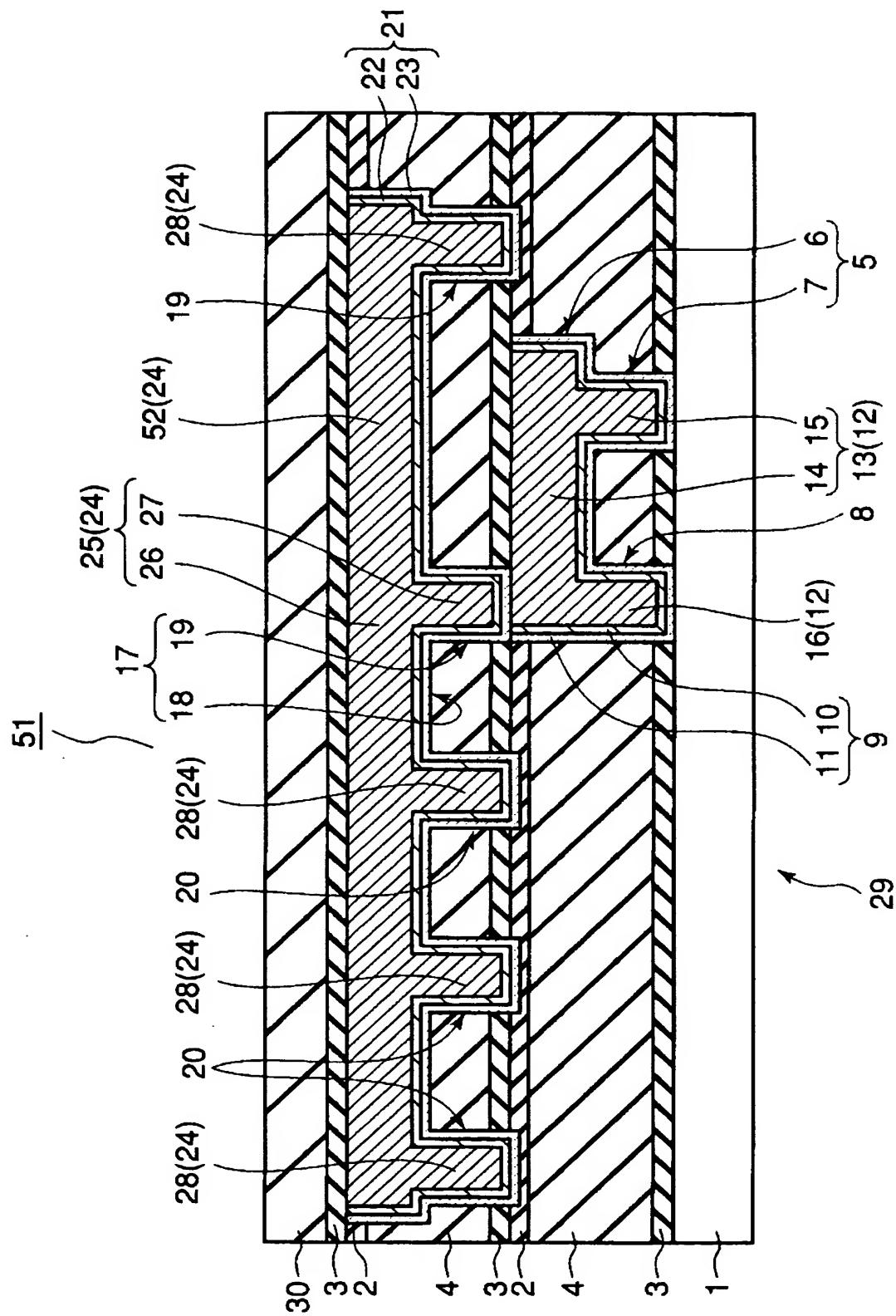
【図11】



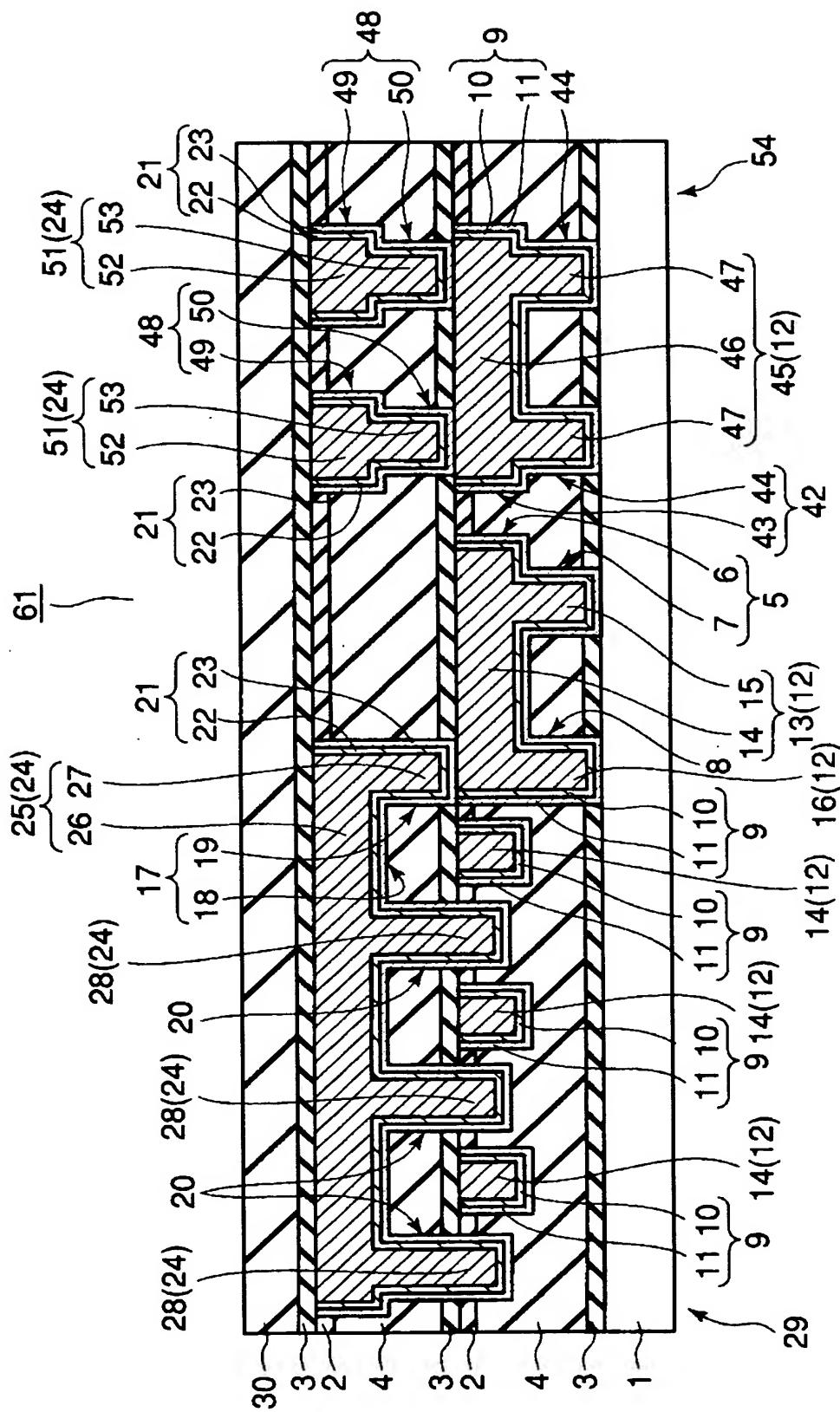
【図12】



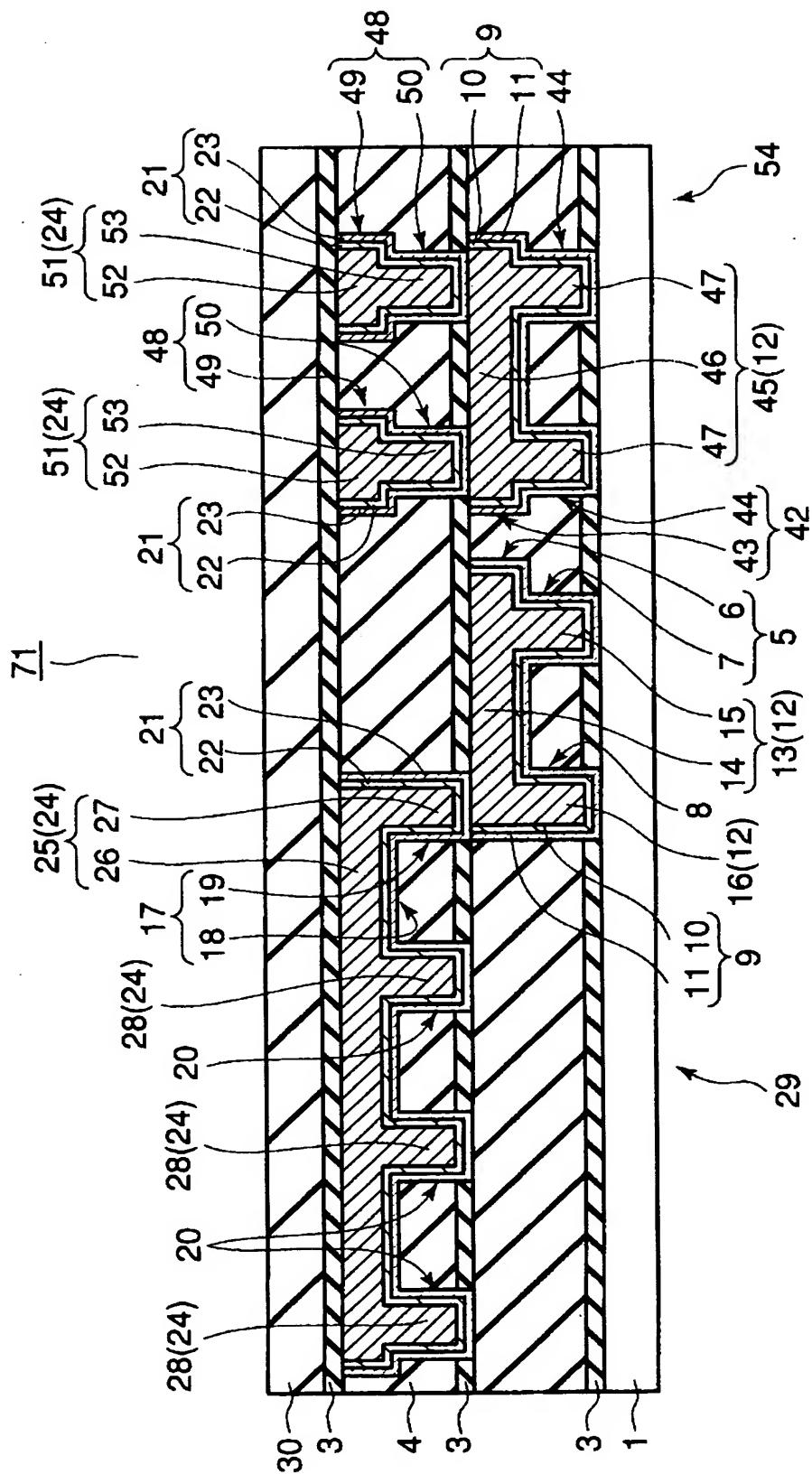
【図13】



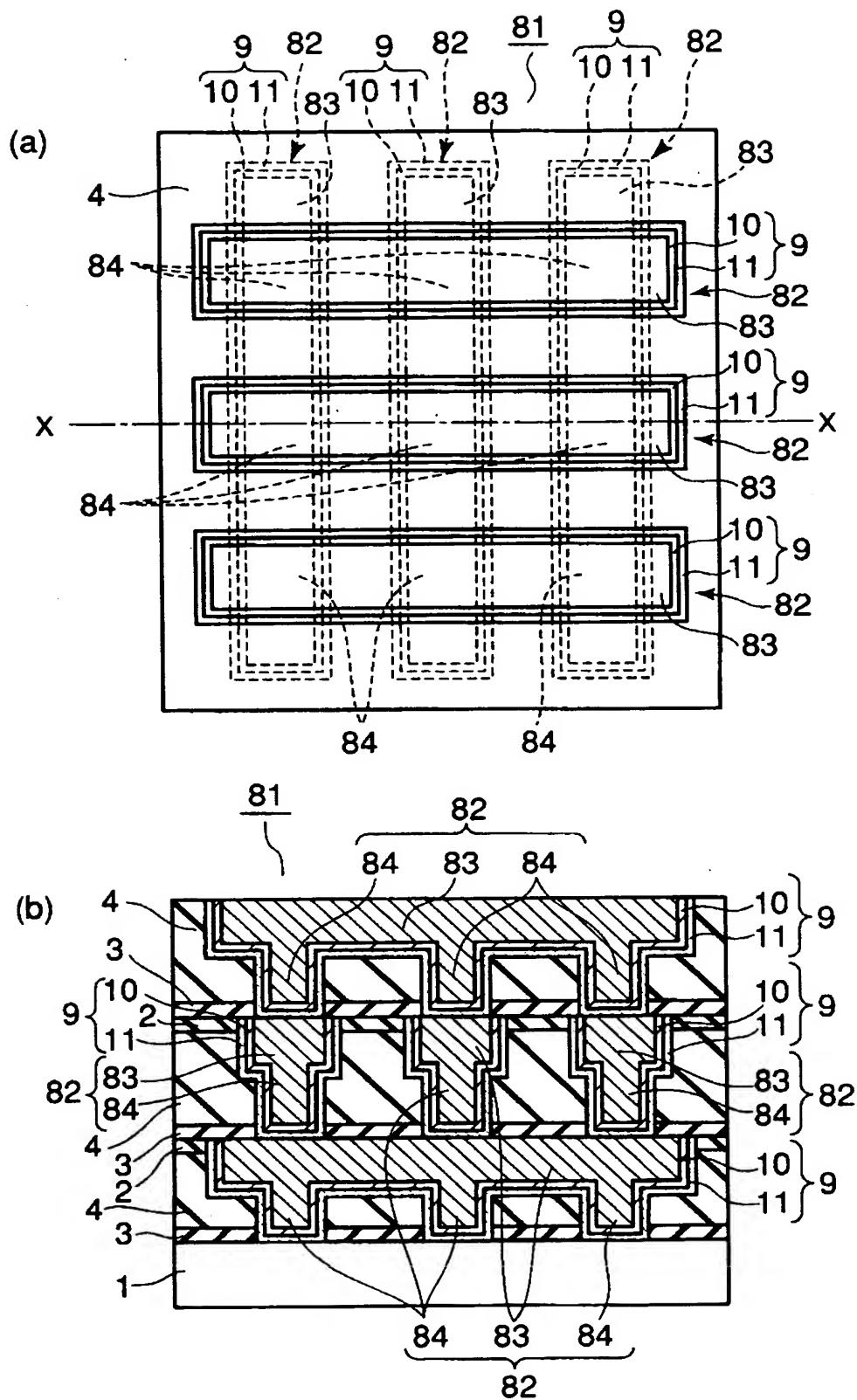
【図14】



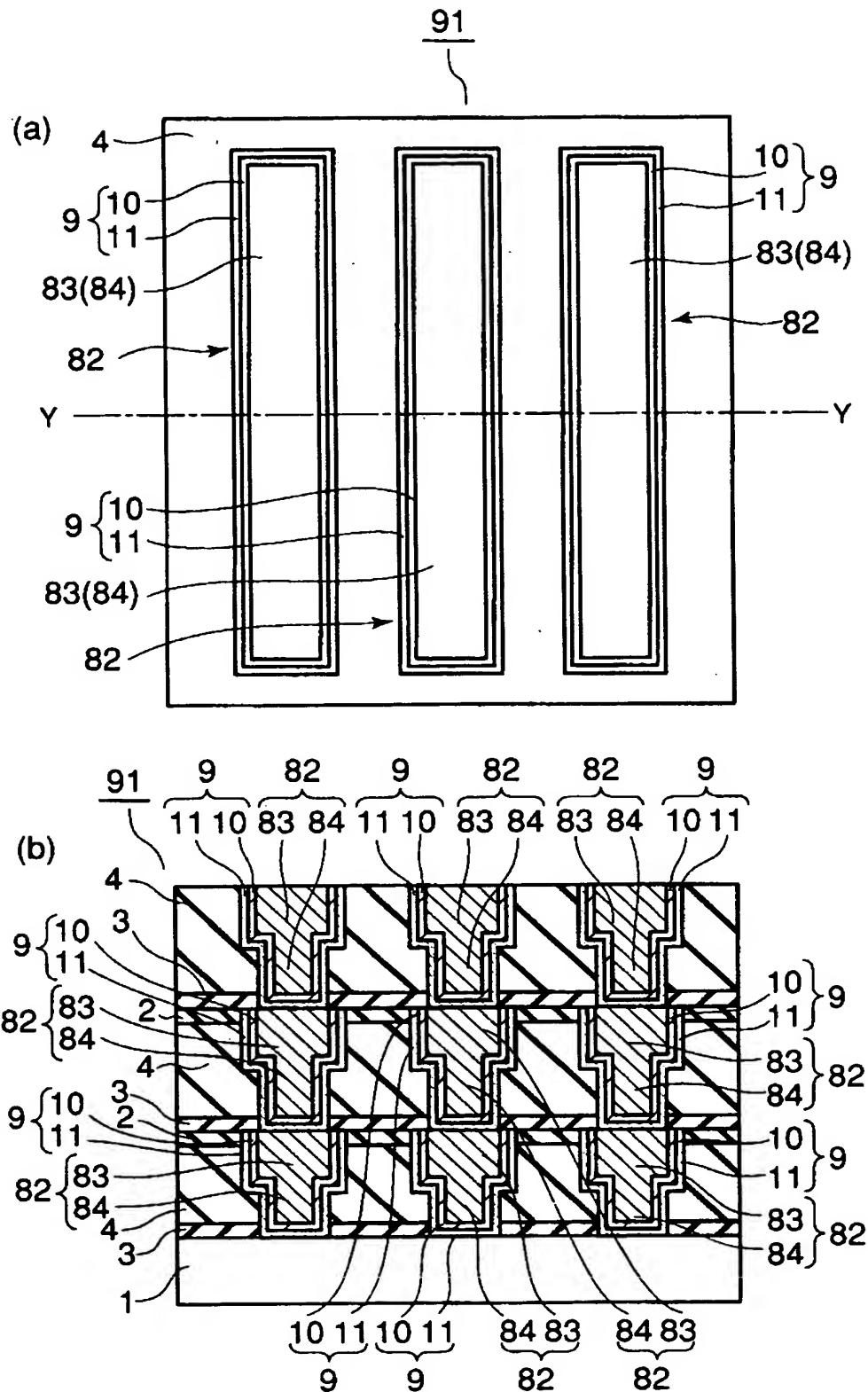
【図15】



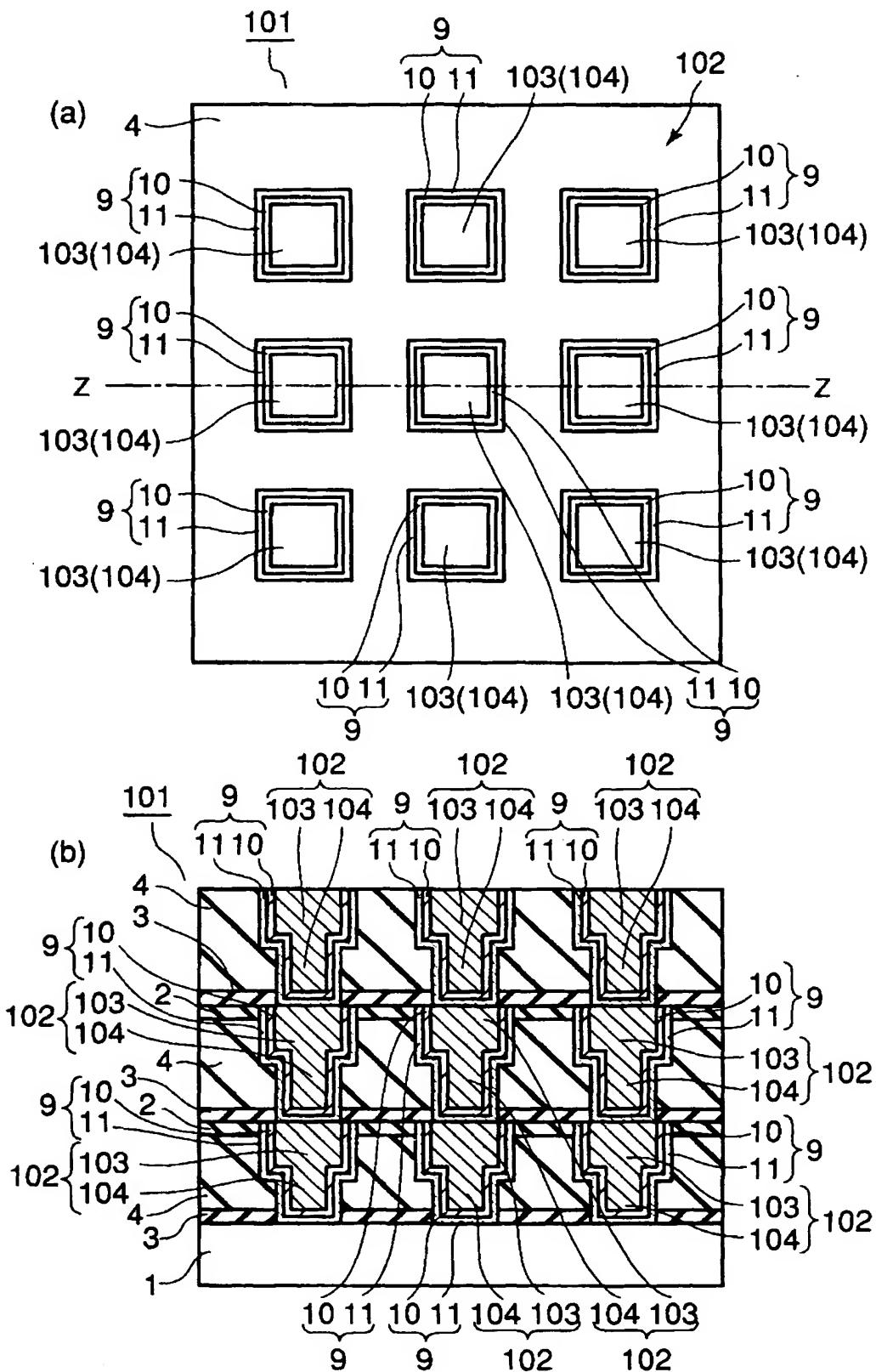
【図16】



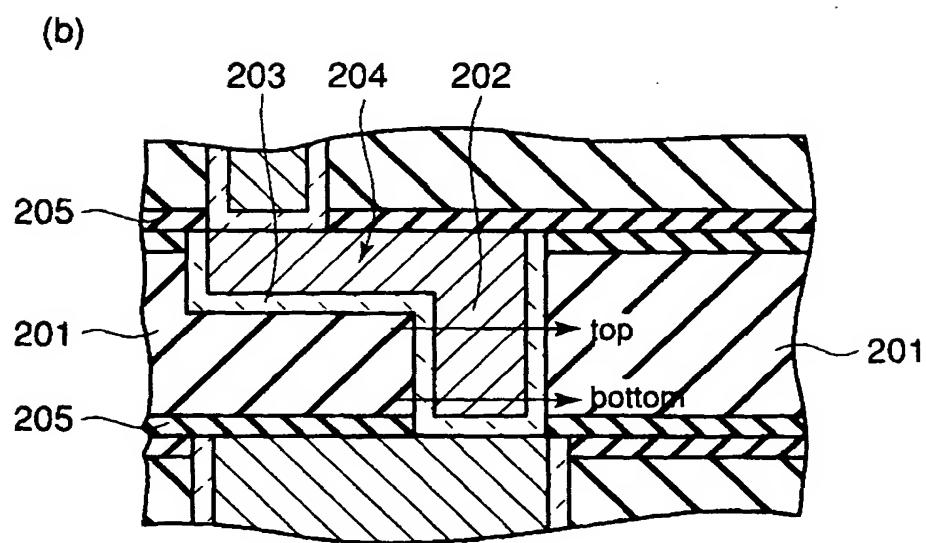
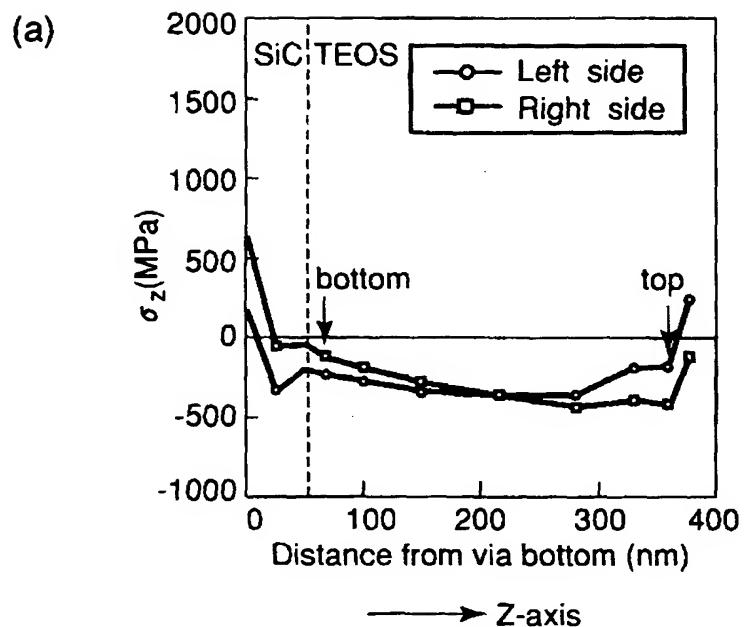
【図17】



【図18】

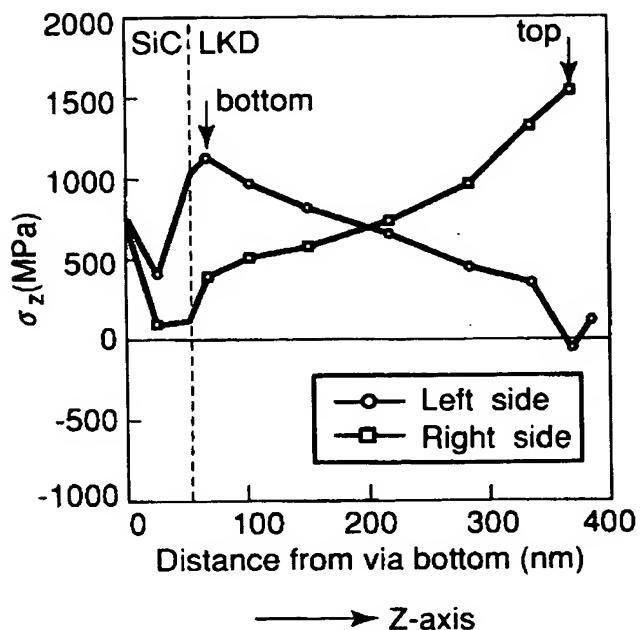


【図19】



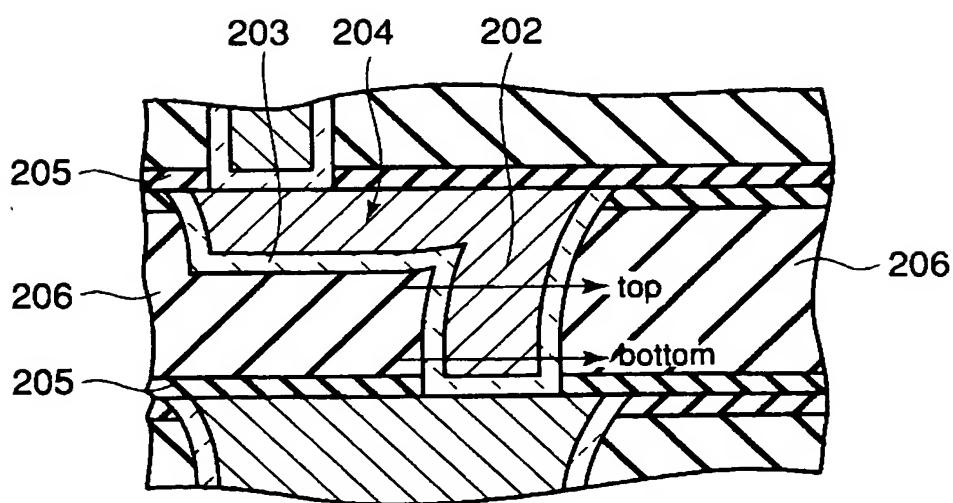
【図20】

(a)

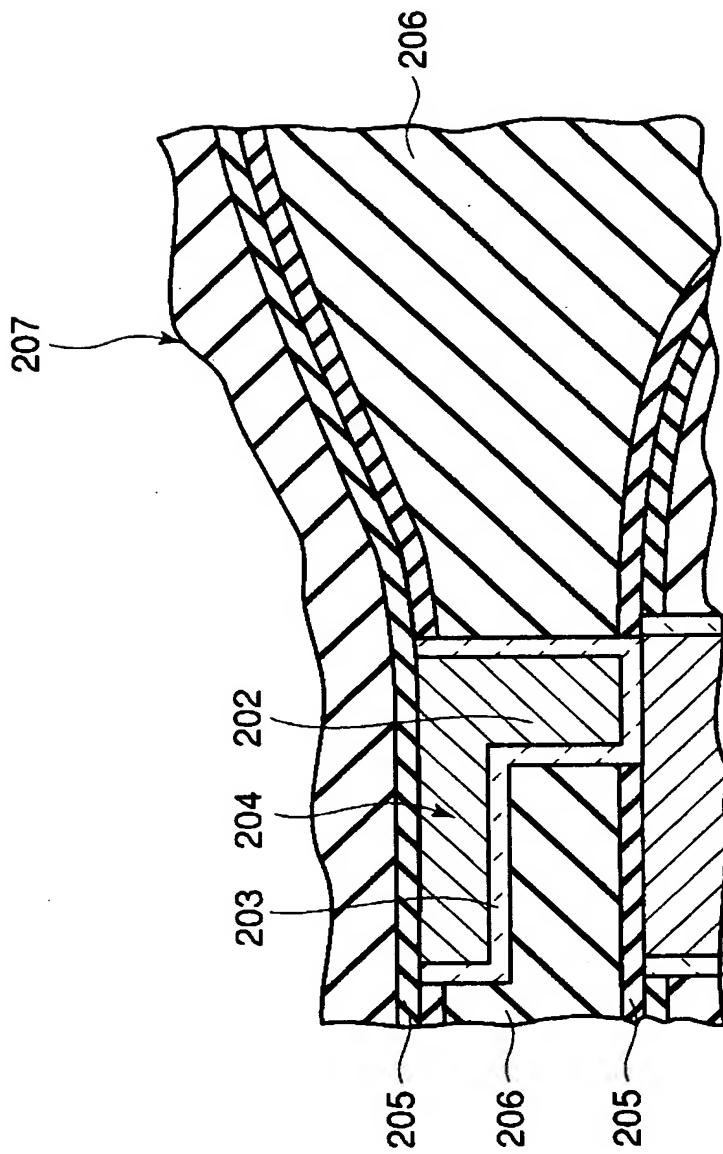


→ Z-axis

(b)



【図21】



【書類名】 要約書

【要約】

【課題】 低比誘電率膜内に発生する熱応力による負荷に対する導電部の耐久性の向上が図られて、信頼性が向上された半導体装置を提供する。

【解決手段】 S i 基板1上に2層に積層されて設けられた比誘電率が3.4以下である低比誘電率膜4のそれぞれの下側に、ヤング率が30GPa以上であるS i C N膜3が設けられている。各低比誘電率膜4の内部にC u 導電層14, 26が設けられている。C u 導電層14, 26には、C u 導電プラグ15, 27が電気的に接続されており、通電経路を構成している。また、C u 導電層14, 26には、これらC u 導電層14, 26に接続されるとともに、各低比誘電率膜4のそれぞれの下側のS i C N膜3を貫通してC u 補強プラグ16, 28が設けられている。各C u 補強プラグ16, 28は、バリアメタル膜9, 21を介して、実質的にS i C N膜3に接続されている。

【選択図】 図8

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝